

(51) Int.Cl.		F I	テーマコード(参考)
H 0 2 M 3/155 (2006.01)		H 0 2 M 3/155	F 5 H 7 3 0
		H 0 2 M 3/155	W

審査請求 未請求 請求項の数15 O L (全22頁)

(21)出願番号	特願2018-143614(P2018-143614)	(71)出願人	509186579 日立オートモティブシステムズ株式会社 茨城県ひたちなか市高場2520番地
(22)出願日	平成30年7月31日(2018.7.31)	(74)代理人	110002066 特許業務法人筒井国際特許事務所
		(72)発明者	劉 鳴 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
		(72)発明者	荒田 純之 茨城県ひたちなか市高場2520番地 日立オートモティブシステムズ株式会社内
		(72)発明者	杉山 泰志 茨城県ひたちなか市高場2520番地 日立オートモティブシステムズ株式会社内

最終頁に続く

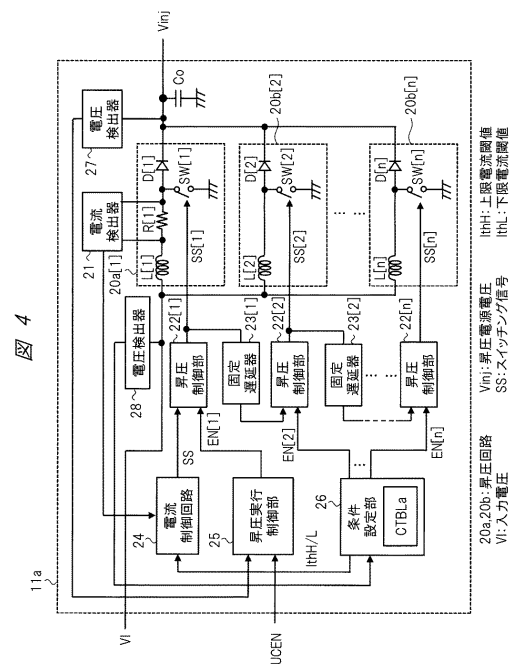
(54) 【発明の名称】 電源装置および電子制御装置

(57) 【要約】

【課題】リップルの低減を実現可能な電源装置、および当該電源装置を備える電子制御装置を提供する。

【解決手段】条件設定部26は、バッテリー電源電圧(入力電圧VI)に基づいて、nフェーズの昇圧回路20a[1], 20b[2]~20b[n]の中から有効化するフェーズ数と、各フェーズのインダクタ電流の電流閾値(上限電流閾値IthHおよび下限電流閾値IthL)とを可変設定する。電流制御回路24は、条件設定部26で設定されるインダクタ電流の電流閾値に基づいて、所定のフェーズ(例えば1番目のフェーズ)に対するスイッチング信号SSを生成する。

【選択図】 図4



1

【特許請求の範囲】

【請求項 1】

インダクタ、およびスイッチング信号で制御されるスイッチング素子をフェーズ毎に含み、バッテリーから供給されるバッテリー電源電圧を昇圧し、当該昇圧された電圧を負荷へ供給するマルチフェーズの昇圧回路と、前記バッテリー電源電圧に基づいて、前記昇圧回路の中から有効化するフェーズ数と、各フェーズのインダクタ電流の電流閾値とを可変設定する条件設定部と、前記条件設定部で設定される前記インダクタ電流の電流閾値に基づいて、所定のフェーズに対する前記スイッチング信号を生成する電流制御回路と、を有する電源装置。

【請求項 2】

請求項 1 記載の電源装置において、さらに、一つ前のフェーズに対する前記スイッチング信号を固定遅延時間だけ遅延させて、一つ後のフェーズに対する前記スイッチング信号として出力する複数の固定遅延器を有する、電源装置。

【請求項 3】

請求項 2 記載の電源装置において、前記条件設定部は、前記インダクタ電流の電流閾値として上限電流閾値と下限電流閾値とを可変設定する、電源装置。

【請求項 4】

請求項 2 記載の電源装置において、前記条件設定部は、前記バッテリー電源電圧が高くなるにつれて前記有効化するフェーズ数が減少するように設定する、電源装置。

【請求項 5】

請求項 4 記載の電源装置において、前記条件設定部は、前記固定遅延時間を“ $T d F$ ”とし、前記有効化するフェーズ数を“ N ”として、前記スイッチング信号のスイッチング周期が“ $N \times T d F$ ”となるように前記インダクタ電流の電流閾値を可変設定する、電源装置。

【請求項 6】

請求項 5 記載の電源装置において、前記条件設定部は、前記バッテリー電源電圧と、前記有効化するフェーズ数と、前記インダクタ電流の電流閾値との対応関係を予め保持する条件設定テーブルを備える、電源装置。

【請求項 7】

請求項 5 記載の電源装置において、さらに、1 番目のフェーズに対する前記スイッチング信号の信号位相と、 N 番目のフェーズに対する前記スイッチング信号を前記固定遅延器で遅延させた後の信号位相との位相

2

誤差を順次検出する位相比較器を有し、前記条件設定部は、前記位相比較器による前記位相誤差がゼロに近づくように前記電流閾値を順次可変制御する、電源装置。

【請求項 8】

請求項 2 記載の電源装置において、前記条件設定部は、さらに、可変設定した前記インダクタ電流の電流閾値を、入力された昇圧期間の設定値に応じた量だけシフトする昇圧期間設定部を有する、電源装置。

【請求項 9】

インダクタ、およびスイッチング信号で制御されるスイッチング素子をフェーズ毎に含み、バッテリーから供給されるバッテリー電源電圧を昇圧し、当該昇圧された電圧を負荷へ供給するマルチフェーズの昇圧回路と、一つ前のフェーズに対する前記スイッチング信号を可変遅延時間だけ遅延させて、一つ後のフェーズに対する前記スイッチング信号として出力する複数の可変遅延器と、

前記バッテリー電源電圧に基づいて、前記昇圧回路の中から有効化するフェーズ数と、前記可変遅延時間とを可変設定する条件設定部と、予め固定的に設定されるインダクタ電流の電流閾値に基づいて、所定のフェーズに対する前記スイッチング信号を生成する電流制御回路と、を有する電源装置。

【請求項 10】

請求項 9 記載の電源装置において、前記条件設定部は、前記バッテリー電源電圧が高くなるにつれて前記有効化するフェーズ数が減少するように設定する、電源装置。

【請求項 11】

請求項 10 記載の電源装置において、前記条件設定部は、前記可変遅延時間を“ $T d V$ ”とし、前記有効化するフェーズ数を“ N ”とし、前記バッテリー電源電圧に応じて変化する前記スイッチング信号のスイッチング周期を“ $T c y c$ ”として、“ $T c y c = N \times T d V$ ”を満たすように前記可変遅延時間を可変設定する、電源装置。

【請求項 12】

請求項 11 記載の電源装置において、前記条件設定部は、前記バッテリー電源電圧と、前記有効化するフェーズ数と、前記可変遅延時間との対応関係を予め保持する条件設定テーブルを備える、電源装置。

【請求項 13】

バッテリーから供給されるバッテリー電源電圧を平滑化する

入力フィルタと、
 車載用のインジェクタを駆動するドライバと、
 インダクタ、およびスイッチング信号で制御されるスイ
 ッチング素子をフェーズ毎に含み、前記バッテリーから前
 記入力フィルタを介して供給される前記バッテリー電源電
 圧を昇圧し、当該昇圧された電圧を電源電圧として前記
 ドライバへ供給するマルチフェーズの昇圧回路と、
 一つ前のフェーズに対する前記スイッチング信号を固定
 の遅延時間だけ遅延させて、一つ後のフェーズに対する
 前記スイッチング信号として出力する複数の固定遅延器
 と、
 前記バッテリー電源電圧に基づいて、前記昇圧回路の中か
 ら有効化するフェーズ数と、各フェーズのインダクタ電
 流の電流閾値とを可変設定する条件設定部と、
 前記条件設定部で設定される前記インダクタ電流の電流
 閾値に基づいて、所定のフェーズに対する前記スイッ
 チング信号を生成する電流制御回路と、
 を有する電子制御装置。

【請求項 1 4】

請求項 1 3 記載の電子制御装置において、
 前記条件設定部は、前記インダクタ電流の電流閾値とし
 て上限電流閾値と下限電流閾値とを可変設定する、
 電子制御装置。

【請求項 1 5】

請求項 1 4 記載の電子制御装置において、
 前記条件設定部は、前記バッテリー電源電圧が高くなるに
 つれて前記有効化するフェーズ数が減少するように設定
 する、
 電子制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源装置および電子制御装置に関し、例えば
 、車載用のインジェクタに必要な高電圧を生成する電源
 装置およびそれを含んだ電子制御装置（ECU：Electr
 onic Control Unit）に関する。

【背景技術】

【0002】

特許文献 1 には、マルチフェーズの DC / DC コンバー
 タにおいて、出力電圧の低下に応じて、予め定めたフェ
 ーズに対するインダクタ電流の上限閾値を、予め定めた
 期間で通常時よりも高い値に変更する方式が示される。
 特許文献 2 には、電子制御装置（ECU）に搭載される
 マルチフェーズの DC / DC コンバータにおいて、エン
 ジン回転数に応じて、使用するフェーズの数とインダク
 タ電流の上限閾値とを切り替える方式が示される。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】米国特許出願公開第 2 0 1 5 / 0 2 8 8 50

2 8 5 号明細書

【特許文献 2】特開 2 0 1 7 - 1 2 5 4 1 7 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

例えば、車載用のインジェクタを駆動する電子制御装置
 （ECU）には、10A 等を超えるような電流をインジ
 ェクタに流すため、バッテリー電源電圧から所定の高電圧
 を生成する昇圧コンバータが搭載される。近年では、昇
 圧コンバータとして、特許文献 1 や特許文献 2 に示され
 るようなマルチフェーズ型の構成が用いられる場合があ
 る。一方、昇圧コンバータに供給されるバッテリー電源電
 圧は、各種条件に応じて変化し得る。バッテリー電源電
 圧が変化した場合、マルチフェーズ型の昇圧コンバータで
 は、各フェーズの電流バランスが崩れ、リップルが増大
 する恐れがある。

【0005】

本発明は、このようなことに鑑みてなされたものであり
 、その目的の一つは、リップルの低減を実現可能な電源
 装置、および当該電源装置を備える電子制御装置を提供
 することにある。

【0006】

本発明の前記並びにその他の目的と新規な特徴は、本明
 細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0007】

本願において開示される実施の形態のうち代表的なもの
 の概要を簡単に説明すれば下記の通りである。

【0008】

一実施の形態による電源装置は、マルチフェーズの昇圧
 回路と、条件設定部と、電流制御回路とを有する。マル
 チフェーズの昇圧回路は、インダクタ、およびスイッ
 チング信号で制御されるスイッチング素子をフェーズ毎に
 含み、バッテリーから供給されるバッテリー電源電圧を昇
 圧し、当該昇圧された電圧を負荷へ供給する。条件設定部
 は、バッテリー電源電圧に基づいて、昇圧回路の中から有
 効化するフェーズ数と、各フェーズのインダクタ電流の
 電流閾値とを可変設定する。電流制御回路は、条件設定
 部で設定されるインダクタ電流の電流閾値に基づいて、
 所定のフェーズに対するスイッチング信号を生成する。

【発明の効果】

【0009】

本願において開示される発明のうち、代表的な実施の形
 態によって得られる効果を簡単に説明すると、リップル
 の低減が実現可能になる。

【図面の簡単な説明】

【0010】

【図 1】本発明の実施の形態 1 による電子制御装置の主
 要部の構成例を示す概略図である。

【図 2】本発明の実施の形態 1 による電源装置の概略的

5

な動作例を示す波形図である。

【図3】図2とは異なる概略的な動作例を示す波形図である。

【図4】本発明の実施の形態1による電源装置（昇圧コンバータ）の主要部の構成例を示す概略図である。

【図5】図4における条件設定部が備える条件設定テーブルの構成例を示す概略図である。

【図6】本発明の実施の形態2による電源装置（昇圧コンバータ）の主要部の構成例を示す概略図である。

【図7】図6の電源装置の動作内容の一例を示す波形図10である。

【図8】図6の条件設定部が備える初期値テーブルの構成例を示す概略図である。

【図9】図6の電源装置（昇圧コンバータ）の主要部の動作例を示す波形図である。

【図10】本発明の実施の形態3による電源装置（昇圧コンバータ）の主要部の構成例を示す概略図である。

【図11】図10を変形した電源装置（昇圧コンバータ）の主要部の構成例を示す概略図である。

【図12】本発明の実施の形態4による電源装置の概略20的な動作例を示す波形図である。

【図13】本発明の実施の形態4による電源装置（昇圧コンバータ）の主要部の構成例を示す概略図である。

【図14】図13における条件設定部が備える条件設定テーブルの構成例を示す概略図である。

【図15】本発明の実施の形態5による電源装置（昇圧コンバータ）の主要部の構成例を示す概略図である。

【図16】本発明の比較例となる電源装置（昇圧コンバータ）周りの主要部の構成例を示す概略図である。

【図17】図16の昇圧コンバータを含む図1の電子制30御装置（ECU）の概略的な動作例を示す波形図である。

【図18】図16の電源装置の概略的な動作例を示す波形図である。

【発明を実施するための形態】

【0011】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形40例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0012】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必50

6

ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0013】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0014】

（実施の形態1）

《電子制御装置の概略》

図1は、本発明の実施の形態1による電子制御装置の主要部の構成例を示す概略図である。図1に示す電子制御装置1は、例えば、車載用のインジェクタを駆動するECUである。当該電子制御装置（ECU）1は、例えば、各種部品が実装された配線基板によって構成され、入力フィルタ10と、昇圧コンバータ（電源装置）11と、ドライバ12と、制御装置13と、降圧コンバータ14とを有する。

【0015】

入力フィルタ10は、バッテリー（図示せず）から供給されるバッテリー電源電圧VB（代表的には12V）を平滑化することで入力電圧VIを生成する。昇圧コンバータ11は、入力電圧VI（言い換えれば、バッテリーから入力フィルタ10を介して供給されるバッテリー電源電圧VB）を昇圧し、当該昇圧された電圧を昇圧電源電圧Vinj（例えば、65V等）としてドライバ12へ供給する。ドライバ12は、車載用のインジェクタを駆動する。具体的には、ドライバ12は、昇圧電源電圧Vinjを用いてインジェクタのソレノイドコイルLinjに所定のインジェクタ電流（負荷電流）Ildを流す。

【0016】

降圧コンバータ14は、入力電圧VIを降圧することで内部電源電圧Vdd（例えば、3.3V等）を生成する。制御装置13は、例えば、内部電源電圧Vddで動作するマイクロコントローラ等である。制御装置13は、装置外部からの各種制御信号Sctlに応じてドライバ12を介してインジェクタを駆動する。また、制御装置13は、昇圧コンバータ11を適宜制御する。

【0017】

《電源装置（比較例）の概略および問題点》

ここで、実施の形態1の電源装置の説明に先立ち、比較例となる電源装置について説明する。図16は、本発明の比較例となる電源装置（昇圧コンバータ）周りの主要部の構成例を示す概略図である。図16において、入力フィルタ10は、例えば、LCフィルタ等で構成される

7

。昇圧コンバータ（電源装置）11'は、マルチフェーズ（ n フェーズ）の昇圧回路20a[1]、20b[2]～20b[n]と、電流検出器21と、 n 個の昇圧制御部62[1]～62[n]と、“ $n-1$ ”個の固定遅延器23[1]、23[2]、…、23[n-1]（図示省略）と、電流制御回路64と、出力コンデンサ C_o とを有する。出力コンデンサ C_o には、 n フェーズの昇圧回路によって昇圧電源電圧 V_{inj} が生成される。

【0018】

昇圧回路20a[1]は、インダクタ $L[1]$ と、スイッチング信号 $SS[1]$ でオン・オフが制御されるスイッチング素子 $SW[1]$ と、出力コンデンサ C_o 側をカソードとするダイオード $D[1]$ と、電流検出用抵抗 $R[1]$ とを備える。スイッチング素子 $SW[1]$ がオンの際、インダクタ $L[1]$ は、両端に略入力電圧 V_I が印加されることで電力を蓄積する。一方、スイッチング素子 $SW[1]$ がオフの際、インダクタ $L[1]$ は、蓄積された電力を起電力とするインダクタ電流 $I_L[1]$ によって、ダイオード $D[1]$ を介して出力コンデンサ C_o を充電する。電流検出用抵抗 $R[1]$ は、インダクタ $L[1]$ に流れるインダクタ電流 $I_L[1]$ を電圧に変換する。電流検出器21は、当該変換された電圧を検出することでインダクタ電流 $I_L[1]$ を検出する。

【0019】

昇圧回路20b[2]～20b[n]のそれぞれは、電流検出用抵抗が設けられないことを除いて昇圧回路20a[1]と同様の構成を備え、同様の動作を行う。すなわち、昇圧回路20b[2]は、インダクタ電流 $I_L[2]$ が流れるインダクタ $L[2]$ と、スイッチング信号 $SS[2]$ で制御されるスイッチング素子 $SW[2]$ と、ダイオード $D[2]$ とを備え、出力コンデンサ C_o をインダクタ電流 $I_L[2]$ で充電する。同様に、昇圧回路20b[n]は、インダクタ電流 $I_L[n]$ が流れるインダクタ $L[n]$ と、スイッチング信号 $SS[n]$ で制御されるスイッチング素子 $SW[n]$ と、ダイオード $D[n]$ とを備え、出力コンデンサ C_o をインダクタ電流 $I_L[n]$ で充電する。

【0020】

電流制御回路64は、予め固定的に設定されるインダクタ電流の電流閾値に基づいて、所定のフェーズ（ここでは1番目のフェーズ）に対するスイッチング信号 SS を生成する。具体的には、電流制御回路64は、電流検出器21からの検出電流値と、上限電流閾値 I_{thH} および下限電流閾値 I_{thL} とを比較するヒステリシスコンパレータ CMP を含む。電流制御回路64は、当該検出電流値が下限電流閾値 I_{thL} よりも低い場合にスイッチング信号 SS を立ち上げ、上限電流閾値 I_{thH} よりも高い場合にスイッチング信号 SS を立ち下げる。上限電流閾値 I_{thH} と下限電流閾値 I_{thL} の差分値（すなわちヒステリシス幅）は、常に一定に保たれる。

8

【0021】

昇圧制御部62[1]は、例えば、スイッチドライバ等を含み、電流制御回路64からのスイッチング信号 SS を受けてスイッチング信号 $SS[1]$ を生成し、当該スイッチング信号 $SS[1]$ で昇圧回路20a[1]内のスイッチング素子 $SW[1]$ を制御する。

固定遅延器23[1]は、スイッチング信号 $SS[1]$ を予め定めた固定遅延時間だけ遅延させる。昇圧制御部62[2]は、固定遅延器23[1]からの出力信号に基づいてスイッチング信号 $SS[2]$ を生成する。

【0022】

以降、同様にして、固定遅延器23[n-1]（図示省略）は、スイッチング信号 $SS[n-1]$ （図示省略）を予め定めた固定遅延時間だけ遅延させ、昇圧制御部62[n]は、固定遅延器23[n-1]からの出力信号に基づいてスイッチング信号 $SS[n]$ を生成する。このように、“ $n-1$ ”個の固定遅延器23[1]～23[n-1]は、一つ前のフェーズに対するスイッチング信号を固定遅延時間だけ遅延させて、一つ後のフェーズに対するスイッチング信号として出力する。

【0023】

図17は、図16の昇圧コンバータを含む図1の電子制御装置（ECU）の概略的な動作例を示す波形図である。図1の電子制御装置（ECU）1は、所定の噴射間隔 T_1 毎に、ソレノイドコイル L_{inj} に瞬時的なインジェクタ電流（負荷電流） I_{ld} を流すことで燃料噴射弁を開弁する。燃料噴射弁が開弁すると、燃焼室に燃料が噴射される。一方、燃料噴射弁を適切に制御するためには、インジェクタ電流 I_{ld} を、要求される立ち上がりレートでゼロから所定の電流値（例えば15A等）まで上昇させる必要がある。当該立ち上がりレートは、昇圧電源電圧 V_{inj} に依存する。このため、昇圧コンバータ11は、噴射が行われる前に、昇圧電源電圧 V_{inj} を規定の昇圧値まで昇圧する必要がある。

【0024】

具体的に説明すると、図17に示されるように、出力コンデンサ C_o で保持される昇圧電源電圧 V_{inj} は、インジェクタ電流 I_{ld} が流れる度に低下する。図16の昇圧コンバータ11'は、昇圧電源電圧 V_{inj} が所定の閾値（例えば63V等）まで低下した際に有効化され、昇圧動作を開始する。その後、昇圧コンバータ11'は、昇圧動作によって昇圧電源電圧 V_{inj} が規定の昇圧値（例えば65V等）に戻った際に無効化され、昇圧動作を終了する。その後、昇圧電源電圧 V_{inj} は、出力コンデンサ C_o によって保持される。昇圧動作の開始から終了までの期間（言い換えれば昇圧コンバータ11'の有効期間）は、昇圧期間 T_2 となる。昇圧期間 T_2 は、前述したように噴射間隔 T_1 よりも短いことが求められる。

【0025】

なお、この昇圧期間 T_2 では、インダクタ電流 $I_L[1]$ は、電流制御回路 64 からのスイッチング信号 SS (これに等しい昇圧制御部 62 [1] からのスイッチング信号 $SS[1]$) によって制御される。また、インダクタ電流 $I_L[2] \sim I_L[n]$ のそれぞれの平均値は、スイッチング信号 $SS[1]$ と同じデューティ比を持つスイッチング信号 $SS[2] \sim SS[n]$ を用いることで、インダクタ電流 $I_L[1]$ の平均値と等しくなるように制御される。

【0026】

ここで、噴射間隔 T_1 は、一般的には、数 ms 等に定められるが、特に、インジェクタに多段噴射を行わせるような場合には、 $1ms$ 未満の値に定められることがある。噴射間隔 T_1 が短くなると、昇圧期間 $T_2 < 噴射間隔 T_1$ の関係を保つことが困難になり得る。

そこで、図 16 に示したようなマルチフェーズ型の昇圧コンバータ 11' を用いると、出力コンデンサ C_o の充電電流を、有効化するフェーズ数 (N) だけ増加させることができるため、昇圧期間 $T_2 < 噴射間隔 T_1$ の関係を容易に保つことができる。

【0027】

しかし、図 16 のような構成では、図 18 に示されるような問題が生じ得る。図 18 は、図 16 の電源装置の概略的な動作例を示す波形図である。バッテリー電源電圧 V_B (ひいては入力電圧 V_I) は、例えば、バッテリーの内部抵抗値や、車両内の各ユニットの動作状態に伴うバッテリーの出力電流値等に応じて、例えば、 $10V \sim 35V$ といったような幅を持つ。入力電圧 V_I が低い場合、図 17 に示した昇圧期間 T_2 が長くなり、昇圧期間 $T_2 < 噴射間隔 T_1$ の関係を満たせなくなる恐れがある。そ

【0028】

ここで、ここでは、バッテリー電源電圧 V_B が高くなる (低くなる) につれて有効化するフェーズ数 (以降、有効フェーズ数 (N) と呼ぶ) を減少させる (増加させる) ような有効フェーズ数 (N) の可変方式を適用することを考える。

図 18 には、入力電圧 V_I が高く、有効フェーズ数 (N) を 2 に設定した場合と、入力電圧 V_I が低く、有効フェーズ数 (N) を 3 に設定した場合におけるインダクタ電流 $I_L[1] \sim I_L[3]$ と、昇圧コンバータ 11' への入力電流 I_{vb} とが示される。図 16 における各固定遅延器 23 [1], 23 [2], ... の固定遅延時間 T_{df} と、電流制御回路 64 のヒステリシス幅 I_{thF} ($= I_{thH} - I_{thL}$) は、ある入力電圧 V_I を前提として有効フェーズ数 (N) が 2 の場合に、インダクタ電流 $I_L[1]$, $I_L[2]$ がバランスするように定められる。そして、この固定遅延時間 T_{df} およびヒステリシス幅 I_{thF} は、常に、一定に保たれる。

【0029】

このように、インダクタ電流 $I_L[1]$, $I_L[2]$ が

バランスしている状態では、合計インダクタ電流 ($I_L[1] + I_L[2]$) の電流リップル (ひいては入力電流 I_{vb} の電流リップル) を低減することができる。一方、この状態で入力電圧 V_I が低くなると、有効フェーズ数 (N) が 3 に変わり、さらに、インダクタ電流 $I_L[1] \sim I_L[3]$ の傾きが緩やかになることで各フェーズのスイッチング周期は延びる。その結果、各インダクタ電流 $I_L[1] \sim I_L[3]$ の電流バランスが崩れ、入力電流 I_{vb} の電流リップルが増大する。この場合、電流リップルを低減するため、例えば、サイズが大きい入力フィルタ 10 が必要となり、電子制御装置 (ECU) 1 の小型化や低コスト化が困難となる恐れがある。

【0030】

なお、ここでは、有効フェーズ数 (N) の可変方式を適用したが、例えば、入力電圧 V_I に関わらず有効フェーズ数 (N) を最大値 (n) に固定するような方式も考えられる。

この場合、例えば、入力電圧 V_I が 3 倍になると、各フェーズの目標電流を例えば $1/3$ 倍程度に変更することが望ましい。言い換えれば、昇圧コンバータ 11' への入力電力は、ある程度一定であることが望ましい。

【0031】

これは、入力電力が大きく変化すると、昇圧期間 T_2 の長さも大きく変化し、例えば、出力コンデンサ C_o のリーク等によって噴射開始時点の昇圧電源電圧 V_{inj} がばらつく等、インジェクタの安定動作が阻害される恐れがあるためである。このような問題は、前述したように目標電流を $1/3$ 倍程度に変更することで解決できるが、この場合、別の問題が生じ得る。すなわち、目標電流を $1/3$ 倍程度に変更した場合、それに応じて下限電流閾値 I_{thL} を下げる必要があり、これに伴い、下限電流閾値 I_{thL} がゼロよりも低くなるような事態が生じ得る。

【0032】

このようなことから、有効フェーズ数 (N) の可変方式を適用することが望ましい。例えば、入力電圧 V_I が 3 倍になった場合に有効フェーズ数 (N) を $1/3$ 倍程度に切り替えると、目標電流を変更することなく入力電力をある程度一定に保てる。このような観点から、図 18 における有効フェーズ数 (N) が 2 の場合の目標電流 (上限電流閾値 I_{thH} と下限電流閾値 I_{thL} の中間値) I_{tg2} と、有効フェーズ数 (N) が 3 の場合の目標電流 I_{tg3} は、同じであってもよい。ただし、勿論、目標電流 I_{tg2} と目標電流 I_{tg3} を互いに若干異なる値に定めることも可能である。

【0033】

《電源装置 (実施の形態 1) の概略動作》

図 2 は、本発明の実施の形態 1 による電源装置の概略的な動作例を示す波形図である。

図 2 には、図 18 で述べた有効フェーズ数 (N) の可変

11

方式を適用した場合で、例えば、数Vレベルといったように有効フェーズ数(N)を切り替える必要性が生じない程度に入力電圧VIが変化した場合の動作例が示される。ここでは、有効フェーズ数(N)を2として、入力電圧VIが高い場合と低い場合とを想定する。

【0034】

まず、各フェーズのインダクタ電流IL[1], IL[2]をバランスさせるためには、図2から分かるように、有効フェーズ数(N)と固定遅延時間TdFの乗算値“N×TdF”を目標スイッチング周期として、各フェーズのスイッチング周期を当該目標スイッチング周期に定めればよい。図2の例では、有効フェーズ数(N)は2であるため、各フェーズのスイッチング周期Tcy2を目標スイッチング周期“2×TdF”に定めればよい。

【0035】

スイッチング周期Tcy2は、入力電圧VIと、ヒステリシス幅(IthH-IthL)とによって定められる。具体的には、スイッチング周期Tcy2は、入力電圧VIが低くなるほど、インダクタ電流の傾きが緩やかになることで長くなり、また、ヒステリシス幅が狭くなるほど短くなる。したがって、入力電圧VIの低下に伴うスイッチング周期Tcy2の延長分を相殺するようにヒステリシス幅を狭めれば、スイッチング周期Tcy2は、入力電圧VIに関わらず目標スイッチング周期“2×TdF”に保たれる。

図2の例では、入力電圧VIが高い場合にヒステリシス幅Ith1が定められ、入力電圧VIが低い場合にヒステリシス幅Ith2(<Ith1)が定められる。

【0036】

図3は、図2とは異なる概略的な動作例を示す波形図である。図3には、図2とは異なり、例えば、6V以上といったように有効フェーズ数(N)を切り替える必要性が生じる程度に入力電圧VIが変化した場合の動作例が示される。ここでは、図18の場合と同様に、入力電圧VIが高く、有効フェーズ数(N)が2に設定される場合と、入力電圧VIが低く、有効フェーズ数(N)が3に設定される場合とを想定する。有効フェーズ数(N)が2の場合、図2の場合と同様に、各フェーズのスイッチング周期Tcy2は、目標スイッチング周期“2×TdF”に定められればよい。また、有効フェーズ数(N)が3の場合、各フェーズのスイッチング周期Tcy3は、目標スイッチング周期“3×TdF”に定められればよい。

【0037】

ここで、有効フェーズ数(N)を2から3に切り替えるということは、入力電圧VIがある程度低下したことを意味し、入力電圧VIが低下すると、各フェーズのスイッチング周期Tcy3は長くなる。また、有効フェー

12

ズ数(N)を2から3に切り替えると、目標スイッチング周期自体が“TdF”だけ長くなる。そこで、この入力電圧VIの低下に伴うスイッチング周期Tcy3の延長分と、有効フェーズ数(N)の増加に伴う目標スイッチング周期の延長分とを勘案し、スイッチング周期Tcy3が目標スイッチング周期“3×TdF”となるようにヒステリシス幅が定められる。図3の例では、有効フェーズ数(N)が2の場合にヒステリシス幅Ith1が定められ、有効フェーズ数(N)が3の場合にヒステリシス幅Ith3(Ith1)が定められる。

【0038】

このように、有効フェーズ数(N)の可変方式を適用することで、図18で述べたように電源装置(昇圧コンバータ)への入力電力をほぼ一定に保つことが可能になる。その前提で、図2および図3に示されるように、入力電圧VIに応じて有効フェーズ数(N)に加えてヒステリシス幅を可変設定することで、入力電圧VIに関わらず、各フェーズのインダクタ電流IL[1]~IL[n]をバランスさせることが可能になる。その結果、入力電流Ivbのリプルを低減できる。また、これに伴い、入力フィルタ10のサイズを小さくすることができ、電子制御装置(ECU)1の小型化や低コスト化が図れる。

【0039】

《電源装置(実施の形態1)の概略構成》

図4は、本発明の実施の形態1による電源装置(昇圧コンバータ)の主要部の構成例を示す概略図である。図5は、図4における条件設定部が備える条件設定テーブルの構成例を示す概略図である。図4に示す電源装置(昇圧コンバータ)11aは、図1の昇圧コンバータ11に適用される。当該昇圧コンバータ11aは、図16の構成例と比較して、次の点が異なっている。まず、昇圧実行制御部25、条件設定部26および電圧検出器27、28が追加される。また、電流制御回路24およびn個の昇圧制御部22[1]~22[n]の構成が若干変更される。

【0040】

電圧検出器27は、昇圧電源電圧Vinjを検出し、電圧検出部28は、入力電圧VIを検出する。昇圧実行制御部25は、外部(例えば、図1の制御装置13)からの昇圧イネーブル信号UCENと、電圧検出器27で検出される昇圧電源電圧Vinjとに応じて、昇圧制御部22[1]へイネーブル信号EN[1]を出力する。例えば、昇圧実行制御部25は、昇圧イネーブル信号UCENがネゲートレベルの場合には、イネーブル信号EN[1]をネゲートレベルに保つ。

【0041】

一方、昇圧実行制御部25は、昇圧イネーブル信号UCENがアサートレベルの場合、ヒステリシスコンパレー

タ等を用いてイネーブル信号 $EN[1]$ を制御する。具体的には、昇圧実行制御部 25 は、図 17 に示したように、昇圧電源電圧 V_{inj} が下限電圧閾値 V_{thL} (例えば 63V) よりも低い場合にイネーブル信号 $EN[1]$ をアサートすることで昇圧動作を開始させる。また、昇圧実行制御部 25 は、昇圧電源電圧 V_{inj} が上限電圧閾値 V_{thH} (例えば 65V) よりも高い場合にイネーブル信号 $EN[1]$ をネゲートすることで昇圧動作を終了させる。

【0042】

条件設定部 26 は、電圧検出器 28 で検出される入力電圧 VI (ひいてはバッテリー電源電圧 VB) に基づいて、昇圧回路 $20a[1]$, $20b[2] \sim 20b[n]$ の中から有効化するフェーズ数 (すなわち、有効フェーズ数 N) と、各フェーズのインダクタ電流の電流閾値とを可変設定する。具体的には、条件設定部 26 は、図 5 に示されるような条件設定テーブル $CTBLa$ を備える。条件設定テーブル $CTBLa$ は、入力電圧 VI (ひいてはバッテリー電源電圧 VB) と、有効フェーズ数 N と、インダクタ電流の電流閾値 (具体的には、上限電流閾値 I_{thH} と下限電流閾値 I_{thL}) との対応関係を予め保持する。

【0043】

図 5 の例では、例えば、入力電圧 VI が 10V 以上かつ 16V 未満の場合、有効フェーズ数 N は 5 に定められ、入力電圧 VI が 16V 以上かつ 22V 未満の場合、有効フェーズ数 N は 4 に定められる。すなわち、バッテリー電源電圧 VB が高くなるにつれて有効フェーズ数 N が減少するように設定される。そして、この入力電圧 VI と有効フェーズ数 N との組み合わせに応じて、図 2 や図 3 に示したように、スイッチング周期が " $N \times TdF$ " (TdF は固定遅延時間) となるようにインダクタ電流の上限電流閾値 I_{thH} および下限電流閾値 I_{thL} が定められる。

【0044】

例えば、有効フェーズ数 N が 5 の場合、図 5 の各値は、図 2 から分かるように、" $I_{1H} - I_{1L}$ " < " $I_{2H} - I_{2L}$ " < " $I_{3H} - I_{3L}$ " の関係となる。なお、条件設定テーブル $CTBLa$ 内の具体的な値は、実際には、予めシミュレーション等を用いて定められる。また、条件設定部 26 は、有効フェーズ数 N に応じて昇圧制御部 $22[2] \sim 22[n]$ へそれぞれイネーブル信号 $EN[2] \sim EN[n]$ を出力する。

【0045】

電流制御回路 24 は、図 16 の場合と同様のヒステリシスコンパレータ CMP を備える。ただし、当該ヒステリシスコンパレータ CMP の上限電流閾値 I_{thH} および下限電流閾値 I_{thL} は、図 16 の場合のように固定ではなく、条件設定部 26 によって可変設定される。昇圧制御部 $22[1] \sim 22[n]$ は、例えば、電流制御回

路 24 または一つ前のフェーズの固定遅延器からのスイッチング信号と、条件設定部 26 からのイネーブル信号とをアンド演算するアンドゲートと、その後段に設けられるスイッチドライバとを備える。

【0046】

具体的な動作例として、例えば、条件設定部 26 が、電圧検出器 28 を用いて 18V の入力電圧 VI を検出した場合を想定する。この場合、条件設定部 26 は、図 5 の条件設定テーブル $CTBLa$ に基づき、有効フェーズ数 N を 4 に定め、イネーブル信号 $EN[2] \sim EN[4]$ (図示省略) をアサートし、イネーブル信号 $EN[5]$ (図示省略) $\sim EN[n]$ をネゲートする。これに伴い、昇圧制御部 $22[5]$ (図示省略) $\sim 22[n]$ は、スイッチング信号 $SS[5]$ (図示省略) $\sim SS[n]$ をオフレベルに固定する。

【0047】

また、条件設定部 26 は、条件設定テーブル $CTBLa$ に基づき、電流制御回路 24 へ、上限電流閾値 I_{thH} として " I_{5H} " を、下限電流閾値 I_{thL} として " I_{5L} " を出力する。電流制御回路 24 は、当該 " I_{5H} " および " I_{5L} " と、電流検出器 21 で検出されるインダクタ電流 $IL[1]$ とを比較することでスイッチング信号 SS を生成する。昇圧制御部 $22[1]$ は、当該スイッチング信号 SS を受けてスイッチング信号 $SS[1]$ を生成する。スイッチング信号 $SS[1]$ は、固定遅延器 $23[1] \sim 23[3]$ (図示省略) で順次遅延され、昇圧制御部 $22[2] \sim 22[4]$ (図示省略) は、当該遅延された信号に基づいてスイッチング信号 $SS[2] \sim SS[4]$ (図示省略) を順次生成する。

【0048】

なお、図 4 における昇圧回路 $20a[1]$, $20b[2] \sim 20b[n]$ および出力コンデンサ Co を除く各部は、専用の回路で構成されてもよく、適宜、マイクロコントローラ (例えば、図 1 の制御装置 13 等) に実装されてもよい。後者の場合、電流検出器 21 や、電圧検出器 27, 28 は、アナログディジタル変換器や、または、それに分圧抵抗を付加した構成等で実現できる。電流制御回路 24 や昇圧実行制御部 25 は、例えば、ソフトウェア処理に基づくディジタルコンパレータ等で実現できる。昇圧制御部 $22[1] \sim 22[n]$ は、ソフトウェア処理によって実現でき、固定遅延器 $23[1]$, $23[2]$, ... は、タイマ回路等を用いて実現できる。条件設定部 26 は、例えば、条件設定テーブル $CTBLa$ を記憶する不揮発性メモリと、ソフトウェア処理との組み合わせによって実現できる。

【0049】

《実施の形態 1 の主要な効果》

以上、実施の形態 1 の方式を用いることで、代表的には、バッテリー電源電圧 VB に関わらず、リップルの低減が実現可能になる。また、これに伴い、入力フィルタ 10

10

20

30

40

50

のサイズを小さくすることができ、電子制御装置（ECU）1の小型化や低コスト化が図れる。

【0050】

なお、ここでは、条件設定テーブルCTBLaを用いて入力電圧VI毎の電流閾値（上限電流閾値I_{thH}および下限電流閾値I_{thL}）を定めたが、場合によっては、入力電圧VIをパラメータとする演算式を用いて電流閾値を定めることも可能である。すなわち、図2から分かるように、有効フェーズ数（N）が変わらなければ、ヒステリシス幅は、入力電圧VIに応じてある程度規則的に変化させればよい。この規則を演算式で定めることも可能である。

【0051】

また、ここでは、条件設定部26は、電流閾値として、上限電流閾値I_{thH}と下限電流閾値I_{thL}の両方を可変設定したが、場合によっては、いずれか一方を可変設定する方式であってもよい。すなわち、原理上、いずれか一方を可変設定することで、スイッチング周期を変えることができる。例えば、入力電圧VIに応じてスイッチング周期と目標電流とを変えるような場合には、いずれか一方を可変設定すればよい。また、条件設定テーブルCTBLaは、上限電流閾値I_{thH}および下限電流閾値I_{thL}の代わりに、例えば、目標電流とヒステリシス幅とを定めるような構成であってもよい。

【0052】

（実施の形態2）

《電源装置（実施の形態2）の概略》

図6は、本発明の実施の形態2による電源装置（昇圧コンバータ）の主要部の構成例を示す概略図である。図7は、図6の電源装置の動作内容の一例を示す波形図である。図6に示す電源装置（昇圧コンバータ）11bは、図4の構成例と比較して次の点が異なる。

まず、図6では、位相比較器35が設けられ、固定遅延器23[n]が追加される。また、図6では、電圧検出器28が設けられず、その代わりに有効フェーズ数（N）が入力される条件設定部36が設けられる。例えば、図1の制御装置13は、バッテリー電源電圧VBを監視することで有効フェーズ数（N）を定め、条件設定部36へ通知する。

【0053】

固定遅延器23[n]は、スイッチング信号SS[n]を固定遅延時間だけ遅延させる。位相比較器35は、1番目のフェーズに対するスイッチング信号SS[1]の信号位相PH_rと、N番目（N：有効フェーズ数）のフェーズに対するスイッチング信号SS[N]を固定遅延器23[N]で遅延させた後の信号位相PH_d[N]との位相誤差を順次検出する。条件設定部36は、位相比較器35による位相誤差がゼロに近づくように電流閾値（例えば、上限電流閾値I_{thH}および下限電流閾値I_{thL}）を順次可変制御する。

【0054】

図7に示されるように、例えば、N=3の場合、スイッチング信号SS[1]の信号位相PH_rと、スイッチング信号SS[3]を固定遅延器（23[3]）で遅延させた後の信号位相PH_d[3]との位相誤差は、ゼロであればよい。この状態は、スイッチング周期が目標スイッチング周期“N×T_{dF}”（T_{dF}：固定遅延時間）に設定されることで、インダクタ電流I_L[1]～I_L[3]がバランスする状態となる。条件設定部36は、この状態となるような電流閾値（言い換えればスイッチング周期）を位相比較器35を用いたフィードバック制御によって探索する。

【0055】

図8は、図6の条件設定部が備える初期値テーブルの構成例を示す概略図である。図9は、図6の電源装置（昇圧コンバータ）の主要部の動作例を示す波形図である。条件設定部36は、例えば、図8に示されるように、有効フェーズ数（N）毎の上限電流閾値I_{thH}および下限電流閾値I_{thL}の各初期値が定められる初期値テーブルITBLを予め備える。初期値テーブルITBL内の上限電流閾値I_{thH}および下限電流閾値I_{thL}は、その中間値によって有効フェーズ数（N）毎の目標電流を定める。また、ヒステリシス幅（I_{thH} - I_{thL}）は、予めシミュレーション等によって、ある程度、探索動作の収束値に近いと推定される値に定められる。条件設定部36は、探索動作の初期値を初期値テーブルITBLに基づいて定める。

【0056】

図9において、時刻t₁では、信号位相PH_d[3]が立ち上がり、時刻t₂では、信号位相PH_rが立ち上がっている。位相比較器35は、信号位相PH_r、PH_d[3]の立ち上がりエッジを検出し、時刻t₁から時刻t₂の期間で、信号位相PH_rが信号位相PH_d[3]よりも遅れていることを表す位相遅れ検出信号（位相誤差信号）DWNを出力する。条件設定部36は、当該位相遅れ検出信号DWNに応じて、目標電流I_{tg}を変えずにヒステリシス幅（I_{thH} - I_{thL}）を予め設定された単位ステップ幅（2I）だけ狭める。その結果、スイッチング信号SS[1]（言い換えれば、信号位相PH_r）のスイッチング周期が短くなり、位相誤差がゼロに近づく方向に制御される。

【0057】

一方、時刻t₅では、信号位相PH_rが立ち上がり、時刻t₆では、信号位相PH_d[3]が立ち上がっている。これに応じて、位相比較器35は、時刻t₅から時刻t₆の期間で、信号位相PH_rが信号位相PH_d[3]よりも進んでいることを表す位相進み検出信号（位相誤差信号）UPを出力する。条件設定部36は、当該位相進み検出信号UPに応じて、目標電流I_{tg}を変えずにヒステリシス幅を予め設定された単位ステップ幅（2

I)だけ広げる。その結果、スイッチング信号SS[1] (信号位相PHr)のスイッチング周期が長くなり、位相誤差がゼロに近づく方向に制御される。位相比較器35および条件設定部36は、このようなフィードバック制御を所定の制御周期毎(この例では、2回のスイッチング周期毎)に実行する。

【0058】

《実施の形態2の主要な効果および各実施の形態との比較》

以上、実施の形態2の方式を用いることで、実施の形態1で述べた各種効果と同様の効果が得られる。また、観測に基づいて電流閾値(言い換えればスイッチング周期)の制御が行われるため、実施の形態1の方式と比較して、スイッチング周期を、より高精度に目標スイッチング周期に定めることができる。その結果、リップルの更なる低減が実現可能となる。一方、実施の形態1の方式と比較して、フィードバック制御が収束するのにある程度の時間を要するため、この観点では、実施の形態1の方式が有益となる。

【0059】

(実施の形態3)

《電源装置(実施の形態3)の概略》

図10は、本発明の実施の形態3による電源装置(昇圧コンバータ)の主要部の構成例を示す概略図である。図10に示す電源装置(昇圧コンバータ)11cでは、図6の構成例と比較して、パルス幅計測器40および入力電圧推定器41が設けられ、また、図6とは若干異なる構成の条件設定部46が設けられる。

【0060】

入力電圧推定器41は、電流検出器21で検出されるインダクタ電流IL[1]に基づいて、入力電圧VIを推定する。具体的に説明すると、例えば、スイッチング素子SW[1]がオンの際のインダクタ電流IL[1]の変化率は、入力電圧VIに依存する。このため、入力電圧推定器41は、電流検出器21で検出されるインダクタ電流IL[1]の変化率に基づいて、入力電圧VIを推定することができる。

【0061】

パルス幅計測器40は、位相比較器35からの位相遅れ検出信号DWNのパルス幅を計測し、その大きさを表す位相遅れ量検出信号NDWNを出力する。同様に、パルス幅計測器40は、位相比較器35からの位相進み検出信号UPのパルス幅を計測し、その大きさを表す位相進み量検出信号NUPを出力する。条件設定部46は、図8に示したような初期値テーブルITBLの代わりに、例えば、図5の条件設定テーブルCTBLaに示したような構成の初期値テーブルを備える。条件設定部46は、入力電圧推定器41で推定された入力電圧VIに基づいて当該初期値テーブルを参照することで、電流閾値(上限電流閾値IthHおよび下限電流閾値IthL)の

初期値を定める。

【0062】

また、条件設定部46は、パルス幅計測器40からの位相遅れ量検出信号NDWNに応じて単位ステップ幅(2I)を基準とするステップ数(K)を定め、ヒステリシス幅(IthH-IthL)を“ $K \times 2I$ ”だけ狭める。同様に、条件設定部46は、パルス幅計測器40からの位相進み量検出信号NUPに応じてステップ数(K)を定め、ヒステリシス幅を“ $K \times 2I$ ”だけ広げる。これにより、図9におけるヒステリシス幅は、例えば、時刻t1から時刻t2の期間における位相遅れ検出信号DWNに応じて相対的に大きく狭められ、時刻t5から時刻t6の期間における位相進み検出信号UPに応じて相対的に小さく広げられることになる。

【0063】

図11は、図10を変形した電源装置(昇圧コンバータ)の主要部の構成例を示す概略図である。図11に示す電源装置(昇圧コンバータ)11dは、図10における入力電圧推定器41の代わりに、図4に示したような電圧検出器28を備える。電圧検出器28は、例えば、入力電圧VIを分圧する外付けの抵抗素子と、その分圧値を検出するアナログデジタル変換器等で構成される。一方、入力電圧推定器41は、例えば、演算器等によって構成される。このため、例えば、図4で述べたように、各部を主にマイクロコントローラ等を実装する場合、外付け部品を減らす観点やアナログデジタル変換器のリソースを低減する観点からは、入力電圧推定器41を設ける方が望ましい。一方、電圧検出精度の観点では、電圧検出器28を設ける方が望ましい。

【0064】

《実施の形態3の主要な効果および各実施の形態との比較》

以上、実施の形態3の方式を用いることで、実施の形態2で述べた各種効果と同様の効果が得られる。また、実施の形態2の方式と比較して、位相誤差の量に応じてヒステリシス幅の制御量を調整できるため、フィードバック制御が収束するのに要する時間を短縮できる。さらに、条件設定部46における初期値を入力電圧VI毎に設定することで、初期値の精度がより高まり、その結果として、フィードバック制御の収束時間の短縮や、リップルの更なる低減が図れる。

【0065】

すなわち、この場合、初期値の段階で、ある程度理想に近い状態となり、それにフィードバック制御を加えることで、更に理想に近づけるような制御が行われることになる。この観点から、単位ステップ幅(2I)は、十分に小さい値に定められることが望ましく、パルス幅計測器40の分解能も十分に高いことが望ましい。なお、変形例として、図6の構成に対して、図10のパルス幅計測器40のみを追加したような構成を用いることも可

能である。この場合も、フィードバック制御の収束時間を短縮できる。

【0066】

(実施の形態4)

《電源装置(実施の形態4)の概略動作》

図12は、本発明の実施の形態4による電源装置の概略的な動作例を示す波形図である。図12には、図3の場合と同様に、有効フェーズ数(N)を切り替える必要性が生じる程度に入力電圧VIが変化した場合の動作例が示される。ここでは、図3の場合と同様に、入力電圧VIが10高く、有効フェーズ数(N)が2に設定される場合と、入力電圧VIが低く、有効フェーズ数(N)が3に設定される場合とを想定する。

【0067】

図3では、各フェーズ間の遅延時間が固定であることを前提とし、インダクタ電流の電流閾値を可変設定することで、“ $T_{cyc} = N \times T_{dF}$ ”(T_{cyc}:スイッチング周期、N:有効フェーズ数、T_{dF}:固定遅延時間)の関係を満たすようなスイッチング周期T_{cyc}が定められた。一方、図12では、インダクタ電流の電流閾値が固定であることを前提とし、各フェーズ間の遅延時間が可変設定される。電流閾値を固定した場合、入力電圧VIに応じてスイッチング周期が変わるが、そのスイッチング周期T_{cyc}の変化に応じて遅延時間を可変設定すれば前述した関係を満たせるようになる。20

【0068】

具体的には、可変遅延時間を“T_{dV}”とし、入力電圧VIに応じて変化するスイッチング周期を“T_{cyc}”とした場合、“ $T_{cyc} = N \times T_{dV}$ ”を満たすように可変遅延時間T_{dV}を可変設定すればよい。図12の例では、N=2の場合とN=3の場合とで、ヒステリシス幅I_{thH}は同じである。このヒステリシス幅I_{thH}と入力電圧VIとに応じて、N=2の場合のスイッチング周期T_{cyc}2は自動的に定まり、N=3の場合のスイッチング周期T_{cyc}3も自動的に定まる。30

【0069】

ここで、可変遅延時間T_{dV}1を可変設定すれば、N=2の場合のスイッチング周期T_{cyc}2は“ $T_{cyc}2 = 2 \times T_{dV}1$ ”を満たせるようになる。また、可変遅延時間T_{dV}2を可変設定すれば、N=3の場合のスイッチング周期T_{cyc}3は“ $T_{cyc}3 = 3 \times T_{dV}2$ ”を満たせるようになる。その結果、図12に示されるように、入力電圧VI(およびフェーズ数(N))に関わらず、各フェーズのインダクタ電流I_L[1]~I_L[3]をバランスさせることができ、入力電流I_vbのリプルを低減することが可能になる。40

【0070】

《電源装置(実施の形態4)の概略構成》

図13は、本発明の実施の形態4による電源装置(昇圧コンバータ)の主要部の構成例を示す概略図である。図50

14は、図13における条件設定部が備える条件設定テーブルの構成例を示す概略図である。図13に示す電源装置(昇圧コンバータ)11eでは、図4の構成例と比較して、固定遅延器23[1]~23[n-1](図示省略)の代わりに可変遅延器43[1]~43[n-1](図示省略)が設けられ、また、図4とは異なる電流制御回路54および条件設定部56が設けられる。“n-1”個の可変遅延器43[1]~43[n-1]は、固定遅延器の場合と同様に、一つ前のフェーズに対するスイッチング信号を可変遅延時間T_{dV}だけ遅延させて、一つ後のフェーズに対するスイッチング信号として出力する。

【0071】

電流制御回路54は、例えば、図16の電流制御回路64と同様の構成を備える。ただし、電流制御回路54は、条件設定部56からの有効フェーズ数(N)に応じて、ヒステリシス幅(I_{thH}-I_{thL})を変えずに中間値(目標電流)を変えるような構成であってもよい。条件設定部56は、図4の場合と同様に、電圧検出器28で検出される入力電圧VI(ひいてはバッテリー電源電圧VB)に基づいて、昇圧回路20a[1],20b[2]~20b[n]の中から有効化するフェーズ数(すなわち有効フェーズ数(N))を可変設定する。また、条件設定部56は、図4の場合と異なり、入力電圧VIに基づいて、可変遅延器43[1]~43[n-1]の可変遅延時間T_{dV}を可変設定する。

【0072】

具体的には、条件設定部56は、図14に示されるような条件設定テーブルCTBLbを備える。条件設定テーブルCTBLbは、入力電圧VI(ひいてはバッテリー電源電圧VB)と、有効フェーズ数(N)と、可変遅延時間T_{dV}との対応関係を予め保持する。図14において、例えば、有効フェーズ数(N)が5の場合、入力電圧VIが高くなるほどスイッチング周期が短くなるため、図14の各値は、T₁>T₂>T₃の関係となる。なお、条件設定テーブルCTBLb内の具体的な値は、実際には、予めシミュレーション等を用いて定められる。

【0073】

《実施の形態4の主要な効果および各実施の形態との比較》

以上、実施の形態4の方式を用いることで、実施の形態1で述べた各種効果と同様の効果が得られる。また、“ $T_{cyc} = N \times T_d$ ”(T_{cyc}:スイッチング周期、N:有効フェーズ数、T_d:遅延時間)の関係において、実施の形態1の方式は、“ $N \times T_d$ ”となるように“T_{cyc}”を制御する方式であるのに対して、実施の形態4の方式は、“ T_{cyc}/N ”となるように、“T_d”を制御する方式である。この方式の違いに伴い、スイッチングノイズは、実施の形態1の方式では限られた周波数で生じるのに対して、実施の形態3の方式では広い

周波数帯で生じ得る。したがって、スイッチングノイズの除去を容易にする観点では、実施の形態 1 の方式が有益となる。また、固定遅延器と可変遅延器の違いに伴い、回転面積の観点では、実施の形態 1 の方式が有益となる。一方、ヒステリシス幅の変更が好まれない用途では、実施の形態 4 の方式が有益となる。

【0074】

(実施の形態 5)

《電源装置(実施の形態 5)の概略》

図 15 は、本発明の実施の形態 5 による電源装置(昇圧コンバータ)の主要部の構成例を示す概略図である。図 15 に示す電源装置(昇圧コンバータ) 11 f では、図 4 の構成例と比較して、条件設定部 66 に昇圧期間設定部 67 が設けられる。昇圧期間設定部 67 は、条件設定テーブル C T B L a に基づき可変設定されたインダクタ電流の電流閾値を、外部から入力された昇圧期間 T 2 の設定値に応じた量だけシフトする。

【0075】

図 17 において、噴射間隔 T 1 を変える場合、これに応じて昇圧期間 T 2 も変える必要がある。例えば、昇圧期間 T 2 を短くする場合、その分だけ目標電流を増やせばよい。そこで、昇圧期間設定部 67 は、条件設定テーブル C T B L a に基づく電流閾値(例えば、上限電流閾値 I t h H および下限電流閾値 I t h L)を、ヒステリシス幅を保ったまま昇圧期間 T 2 の設定値に応じた量だけシフトする。これによって、昇圧期間設定部 67 は、目標電流(ひいては昇圧期間 T 2)を可変設定する。

【0076】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。例えば、前述した実施の形態は、本発明を分かり易く説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施の形態の構成の一部を他の実施の形態の構成に置き換えることが可能であり、また、ある実施の形態の構成に他の実施の形態の構成を加えることも可能である。

また、各実施の形態の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

【0077】

例えば、実施の形態 4 の方式は、実施の形態 2 や実施の形態 3 の方式と組み合わせることも可能である。また、各実施の形態の電源装置は、車載用の E C U に限らず、入力電圧 V I が変化し得る様々なマルチフェーズ型の昇圧コンバータを対象に、そのリップル低減技術として広く適用可能である。また、場合によって、マルチフェーズ型の降圧コンバータに対して同様に適用することも可能である。

【符号の説明】

【0078】

1 電子制御装置(E C U)
 10 入力フィルタ
 11 電源装置(昇圧コンバータ)
 12 ドライバ
 20 a, 20 b 昇圧回路
 23 固定遅延器
 24 電源制御回路
 26, 36, 46, 56, 66 条件設定部
 35 位相比較器
 43 可変遅延器
 67 昇圧期間設定部
 C M P ヒステリシスコンパレータ
 C T B L 条件設定テーブル
 D ダイオード
 E N イネーブル信号
 I L インダクタ電流
 I t h H 上限電流閾値
 I t h L 下限電流閾値
 L インダクタ
 L i n j ソレノイドコイル
 N 有効化するフェーズ数
 P H 信号位相
 S S スwitching信号
 S W スwitching素子
 T 2 昇圧期間
 T c y c スwitching周期
 T d F 固定遅延時間
 T d V 可変遅延時間
 V B バッテリ電源電圧
 V I 入力電圧
 V i n j 昇圧電源電圧

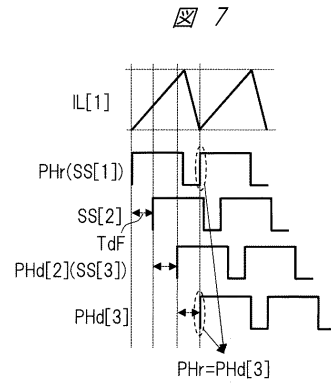
【図5】

図 5

CTBLa

V[V]	有効フェーズ数(N)	lthH	lthL
10	5	I1H	I1L
12		I2H	I2L
14		I3H	I3L
16	4	I4H	I4L
18		I5H	I5L
20		I6H	I6L
...

【図7】



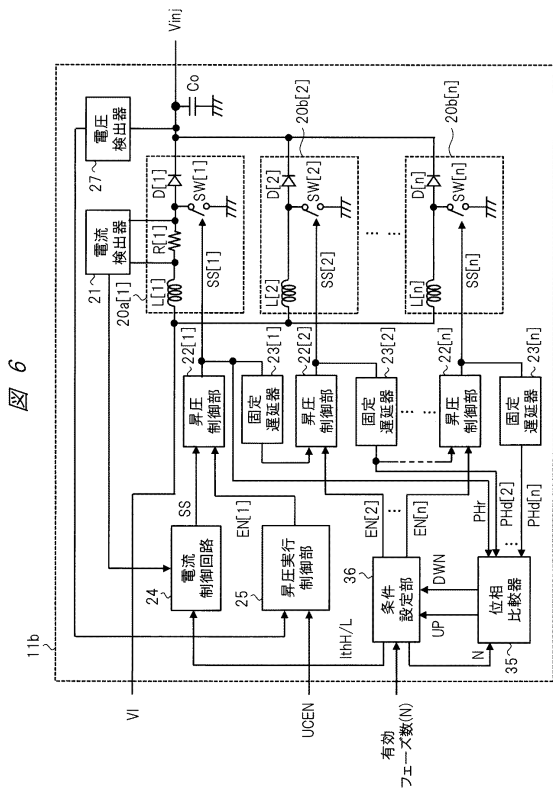
【図8】

図 8

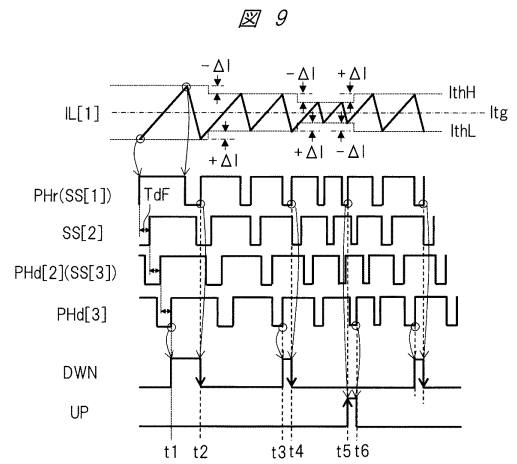
ITBL

有効フェーズ数(N)	lthHの初期値	lthLの初期値
5	I1SH	I1SL
4	I2SH	I2SL
...

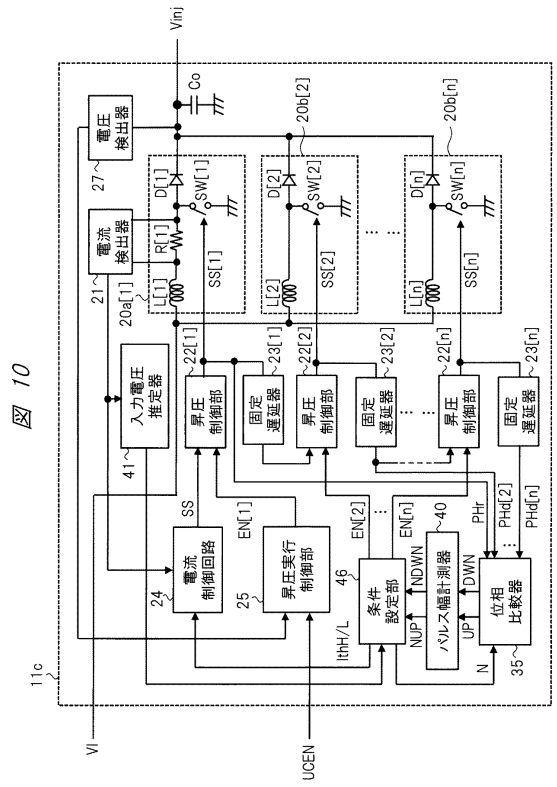
【図6】



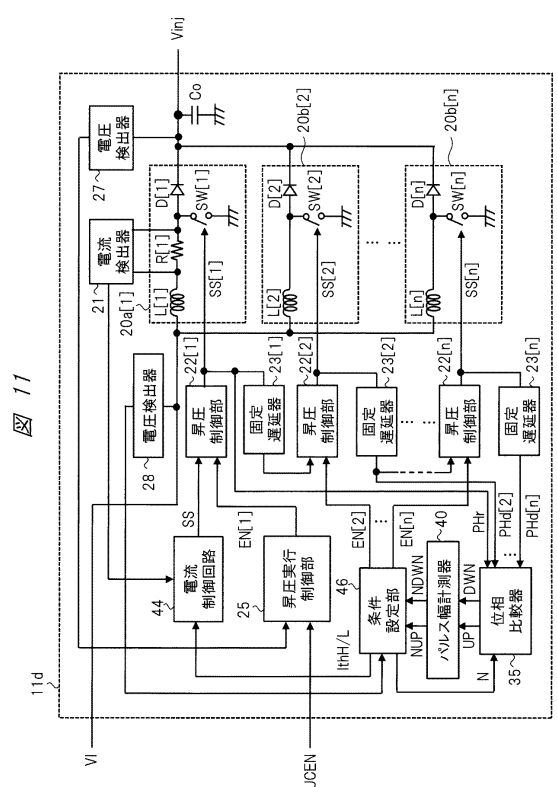
【図9】



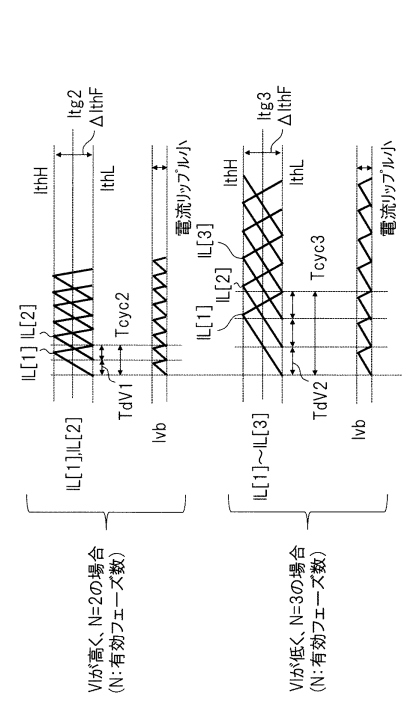
【 図 10 】



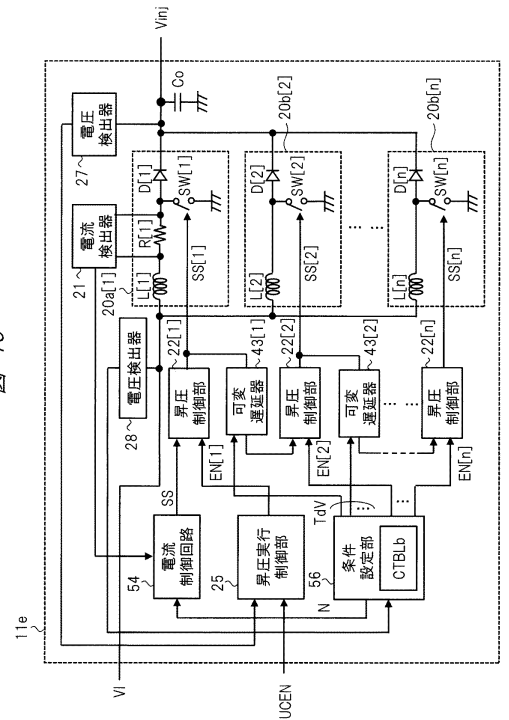
【 図 11 】



【 図 12 】



【 図 13 】



【図14】

図 14

CTBLb

VI[V]	有効フェーズ数(N)	TdV
10	5	T1
12		T2
14		T3
16	4	T4
18		T5
20		T6
22
...

【図16】

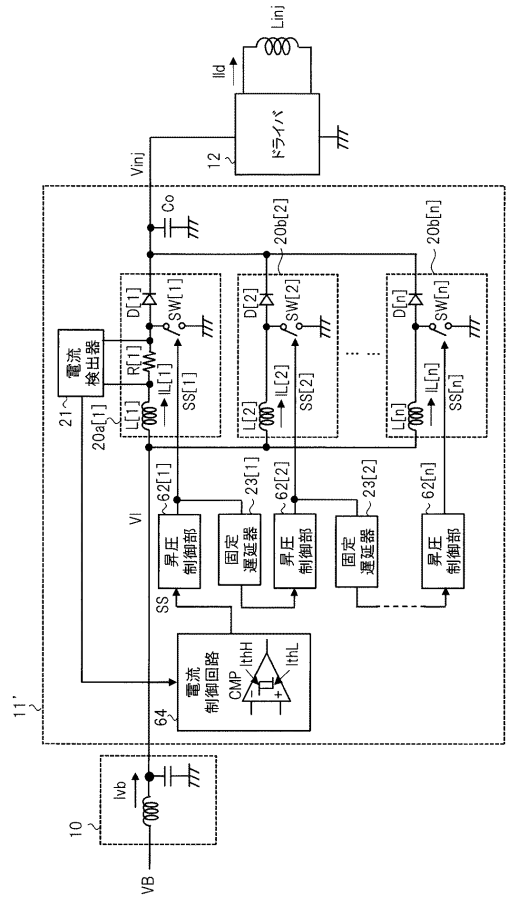


図 16

【図15】

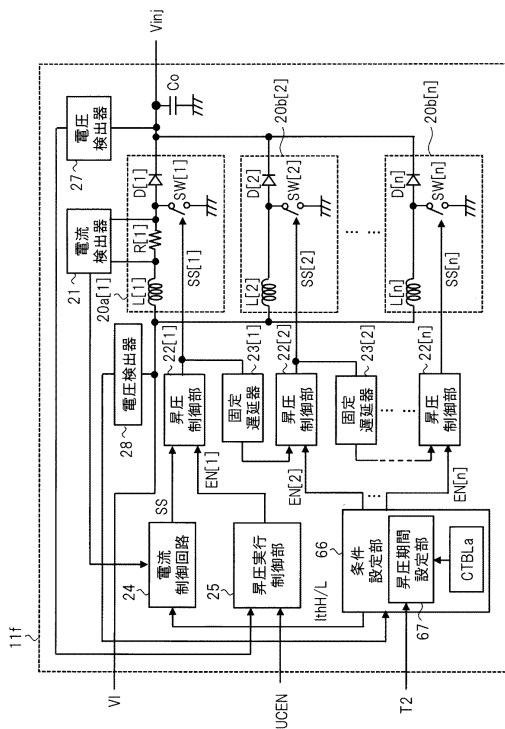


図 15

【図17】

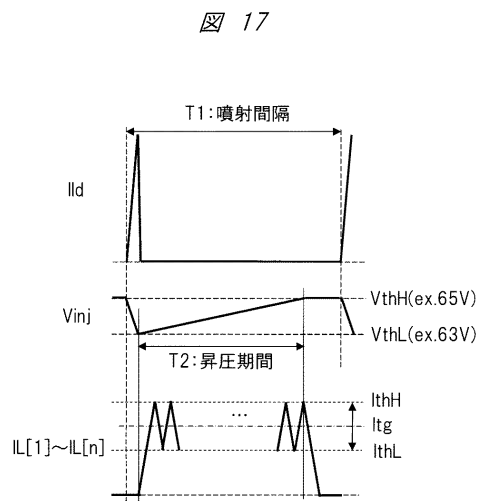
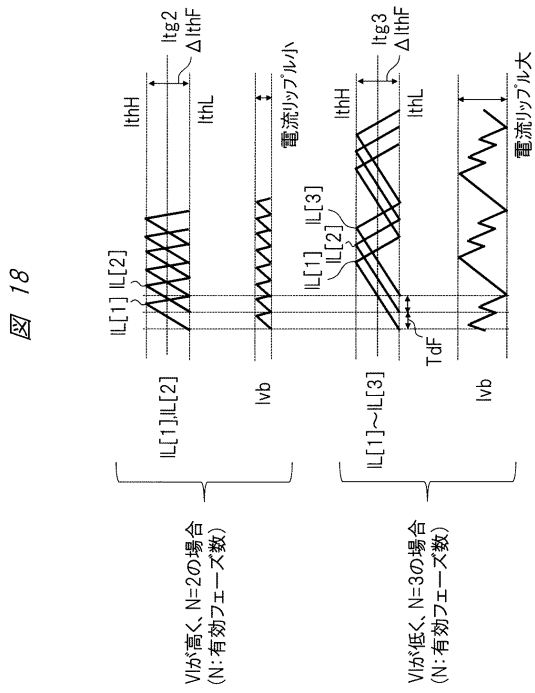


図 17

【図18】



フロントページの続き

(72)発明者 小野 豪一

東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内

Fターム(参考) 5H730 AA02 AS04 AS05 BB14 BB84 BB88 BB89 DD02 EE07 EE59

FD01 FD11 FD31 FG01 FG16 FG17 VV01