

(19)日本国特許庁 ( J P )

(12) 公開特許公報 ( A )

(11)特許出願公開番号

特開2020-22213

( P 2 0 2 0 - 2 2 2 1 3 A )

(43)公開日 令和2年2月6日(2020.2.6)

(51)Int.Cl.

H 0 2 M 7/12

(2006.01)

F I

H 0 2 M 7/12

Q

テーマコード(参考)

5 H 0 0 6

審査請求 未請求 請求項の数2 O L (全9頁)

(21)出願番号 特願2018-142027(P2018-142027)

(22)出願日 平成30年7月30日(2018.7.30)

(71)出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長3丁目3番17号

(72)発明者 池田 雄一

神奈川県川崎市高津区末長3丁目3番17号 株式会社富士通ゼネラル内

Fターム(参考) 5H006 AA02 CA01 CB01 DA02 DA04

DB01 DC02 DC05

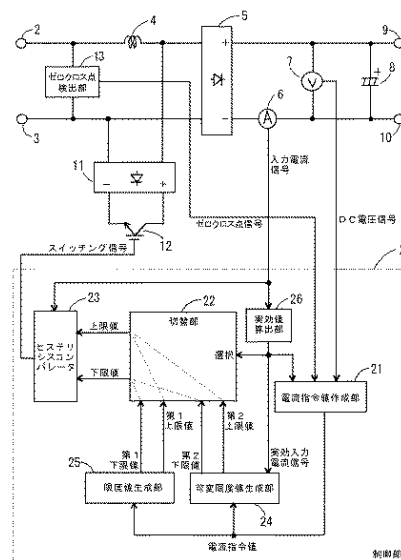
(54)【発明の名称】 直流電源装置

(57)【要約】

【課題】ヒステリシス方式のコンバータを用いた直流電源装置においてスイッチングロス低減させる。

【解決手段】制御手部20は、入力電流が大きくなるに従って上限値と下限値との差である上下限值差を小さくする低負荷モードと、上下限值差を一定値で用いる高負荷モードのいずれかのモードを実行する。そして、制御手部20は、実効入力電流が予め定めた切替閾値未満の時に低負荷モードを実行し、実効入力電流が切替閾値以上の時に高負荷モードを実行する。また、制御部20は負荷の大きさ、つまり実効入力電流が切替閾値未満となる低負荷モードの時に、実効入力電流が小さい方向に変化したら上下限值差を広げるようにしてIGBT12を制御する。

【選択図】 図1



1

## 【特許請求の範囲】

## 【請求項 1】

交流電源を直流電源に変換して負荷に供給する直流電源装置であって、

前記直流電源装置は、

前記交流電源と直列に接続されるリアクタと、

前記リアクタを介して前記交流電源を短絡する時にオンとなり、前記短絡をしない時にオフとなるスイッチング素子と、

前記入力電流が予め定めた上限値以上になったら前記ス

イッチング素子をオフし、前記入力電流が前記上限値より

も小さい下限値未満になったら前記スイッチング素子を

オンするヒステリシス制御方式の制御手段とを備え、

前記制御手段は、

前記負荷の大きさに応じて、前記上限値と前記下限値の差である上下限値差を変化させることを特徴とする直流電源装置。

## 【請求項 2】

前記制御手段は、前記負荷の大きさが前記切替閾値以上の時に、前記上限値と前記下限値の差が第 1 上下限値差

となる高負荷モードを実行し、

前記負荷の大きさが前記切替閾値未満の時に、前記上限

値と前記下限値の差が前記第 1 上下限値差よりも大きい

第 2 上下限値差となる低負荷モードを実行することを特

徴とする請求項 1 記載の直流電源装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、直流電源装置に係わり、より詳細には、ヒステリシス制御方式を用いたコンバータに関する。

## 【背景技術】

## 【0002】

従来のコンバータは、例えば特許文献 1 に示す技術が開示されている。このようなヒステリシス制御方式を用いたコンバータは、交流電源をリアクタを介して短絡 / 開放することで力率改善や昇圧を行うものである。なお、以下の説明において、特に断らない限り入力電流は瞬時値を示す。

## 【0003】

図 4 は従来のコンバータ 100 を示すブロック図である。このコンバータ 100 は、交流電源が接続される入力端 2、3 と、リアクタ 4 と、整流器 5 と、検出した入力電流をデジタル値として出力する入力電流検出部 6 と、検出した DC 電圧をデジタル値として出力する DC 電圧検出部 7 と、平滑コンデンサ 8 と、正極出力端子 9 と負極出力端子 10 と、ブリッジダイオード 11 と、スイッチング素子である IGBT 12 と、検出した交流電源電圧のゼロクロス点のタイミングを出力するゼロクロス点検出部 13 と、ヒステリシス方式で IGBT 12 を制御する制御部 200 を備えている。

2

また、制御部 200 は、ヒステリシスコンパレータ 23 と、限度値生成部 25 と、電流指令値作成部 21 と、実効値算出部 26 を備えている。

## 【0004】

入力端 2 はリアクタ 4 の一端に、また、リアクタ 4 の他端は整流器 5 の一方の入力端にそれぞれ接続され、入力端 3 は整流器 5 の他方の入力端に接続されている。一方、整流器 5 の正極出力端は正極出力端子 9 に接続され、整流器 5 の負極出力端は、入力電流検出部 6 の一端に接続され、入力電流検出部 6 の他端は負極出力端子 10 に、それぞれ接続されている。

## 【0005】

さらに、正極出力端子 9 と負極出力端子 10 の間には平滑コンデンサ 8 と DC 電圧検出部 7 が接続され、入力端 2 と入力端 3 の間には交流電源のゼロクロス点を検出するゼロクロス点検出部 13 が接続されている。また、整流器 5 の一方の入力端にはブリッジダイオード 11 の一方の入力端が接続され、整流器 5 の他方の入力端にはブリッジダイオード 11 の他方の入力端が接続されている。さらに、ブリッジダイオード 11 の正極出力端は IGBT 12 のコレクタ端子に、ブリッジダイオード 11 の負極出力端は IGBT 12 のエミッタ端子に、それぞれ接続されている。

## 【0006】

一方、制御部 200 の実効値算出部 26 には入力電流信号が入力され、実効値算出部 26 から算出された入力電流の実効値（以下実効入力電流と呼称）の信号が電流指令値作成部 21 へ出力されている。そして、電流指令値作成部 21 には、実効入力電流信号とゼロクロス点信号と DC 電圧信号が入力されており、制御部 200 によって指示された DC 電圧の目標値と実際の DC 電圧の差と、実効入力電流から電流指令値を作成し、限度値生成部 25 へ出力する。限度値生成部 25 は電流指令値に基づいて、IGBT 12 をオフする入力電流の上限値と IGBT 12 をオンする入力電流の下限値を生成してヒステリシスコンパレータ 23 へ出力する。

## 【0007】

ヒステリシスコンパレータ 23 には入力電流信号が入力されており、入力電流の値が上限値以上になったらスイッチング信号をローレベル（IGBT 12 をオフ）にし、入力電流の値が下限値未満になったらスイッチング信号をハイレベル（IGBT 12 をオン）にして IGBT 12 のゲート端子へ出力する。

## 【0008】

図 5 は交流電源電圧の 1 / 2 周期における入力電流と時間の関係を説明する説明図である。図 5 において細線の実線は交流電源電圧の波形を示している。また、図 5 ( 1 ) は実効入力電流が大きい場合であり、図 5 ( 2 ) は実効入力電流が小さい場合である。なお、図 5 において破線は時間経過に対応して直線的に増加する上限値と下

3

限値をそれぞれ示している。この上限値と下限値を示す破線は平行になっている。

制御部 200 は交流電源電圧の 1 / 2 周期における入力電流の前半部分内で複数回のスイッチングを行い、入力電流のピーク及び後半部分はスイッチングを行わないで成り行きで制御する。なお、ヒステリシスコンパレータ 23 は入力電流を監視し、限度値生成部 25 が生成した上限値と下限値の間に入力電流が存在するように IGBT 12 をオン・オフ制御している。

#### 【0009】

電流指令値作成部 21 は負荷の大きさ、つまり実効入力電流の大きさに対応して交流電源電圧の半周期におけるゼロクロス点からスイッチングを開始するまでの時間を決定する。電流指令値作成部 21 は交流電源電圧のゼロクロス点から最初に出力する電流指令値の出力タイミングを決定する時に、半周期内において入力電流が流れ始めるタイミングと半周期の最初のゼロクロス点との間の時間と、入力電流が流れなくなるタイミングと半周期の次のゼロクロス点との間の時間とができるだけ等しくなるようにする。これにより力率を改善すると共に高調波電流を抑制している（例えば特許文献 2 参照。）。

例えば図 5（1）では実効入力電流が大きい場合、最初のゼロクロス点からスイッチングが開始されるまでの開始時間が、実効入力電流が小さい場合に比較して短く、一方、図 5（2）に示すように、電流指令値作成部 21 は負荷が小さい、つまり実効入力電流が小さい時は最初のゼロクロス点からスイッチングが開始されるまでの開始時間が、実効入力電流が大きい場合に比較して長くなっている。このように図 5（1）の場合も図 5（2）の場合も入力電流波形は交流電源電圧のピーク点を基準とした時にほぼ中央に位置することになる。

#### 【0010】

一般的に電流波形は正弦波に近いほど高調波電流規制に対して有利となる。つまり、上限値と下限値の電流の差である上下限値差を小さくするほど電流波形は滑らかになり高調波電流のレベルが小さくなるが、この場合、入力電流は上限値と下限値の狭い範囲内で増加と減少を短時間で繰り返す。つまり、IGBT 12 のスイッチング回数が増加するためスイッチングロスが大きくなる。通常の設計ではスイッチングロスを容認して、最大負荷の場合でも高調波電流規制内に納まるように固定値の上下限値差を決定していた。このような設計の場合、入力電流が小さい時、例えばエアコンでは待機時やサーモオフ時などにおいて、エアコンから発生する高調波電流が高調波電流規制の制限値までに余裕があるにも関わらずスイッチングロスが大きいたう問題があった。

#### 【先行技術文献】

#### 【特許文献】

#### 【0011】

【特許文献 1】特開 2015 - 50868 号公報（段落 50

4

番号 0014 ~ 0016 )

【特許文献 2】特開 2011 - 155767 号公報（段落番号 0026 ~ 0036）

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0012】

本発明は以上述べた問題点を解決し、ヒステリシス方式のコンバータを用いた直流電源装置においてスイッチングロスを低減させることを目的とする。

#### 10 【課題を解決するための手段】

#### 【0013】

本発明は上述の課題を解決するため、本発明の請求項 1 に記載の発明は、交流電源を直流電源に変換して負荷に供給する直流電源装置であって、前記直流電源装置は、前記交流電源と直列に接続されるリアクタと、前記リアクタを介して前記交流電源を短絡する時にオンとなり、前記短絡をしない時にオフとなるスイッチング素子と、前記入力電流が予め定めた上限値以上になったら前記スイッチング素子をオフし、前記入力電流が前記上限値よりも小さい下限値未満になったら前記スイッチング素子をオンするヒステリシス制御方式の制御手段とを備え、前記制御手段は、前記負荷の大きさに応じて、前記上限値と前記下限値の差である上下限値差を変化させることを特徴とする。

#### 【0014】

また本発明の請求項 2 に記載の発明は、前記制御手段は、前記負荷の大きさが前記切替閾値以上の時に、前記上限値と前記下限値の差が第 1 上下限値差となる高負荷モードを実行し、前記負荷の大きさが前記切替閾値未満の時に、前記上限値と前記下限値の差が前記第 1 上下限値差よりも大きい第 2 上下限値差となる低負荷モードを実行することを特徴とする。

#### 【発明の効果】

#### 【0015】

以上の手段を用いることにより、本発明による直流電源装置によれば、制御手段は、負荷の大きさに応じて、上限値と下限値の差である上下限値差を変化させるため、スイッチング回数を低減させてスイッチングロスを低減させることができる。

#### 【図面の簡単な説明】

#### 【0016】

【図 1】本発明によるヒステリシス方式を用いたコンバータの実施例を示すブロック図である。

【図 2】本発明によるヒステリシス方式を用いたコンバータの入力電流波形である。

【図 3】入力電流と上下限値差の関係を示すグラフであ

5

る。

【図4】従来のヒステリシス方式を用いたコンバータの実施例を示すブロック図である。

【図5】従来の入力電流波形を示す説明図である。

【発明を実施するための形態】

【0017】

以下、本発明の実施の形態を、添付図面に基づいた実施例として詳細に説明する。なお、本実施例において入力電流は特に断りがない限り瞬時値を示している。実効値である場合は「実効入力電流」のように表記する。

【実施例1】

【0018】

図1は直流電源装置であるコンバータ1を示すブロック図である。このコンバータ1は、図示しない交流電源が接続される入力端2、3と、交流電源に直列に接続されるリアクタ4と、整流器5と、検出した入力電流をデジタル値の入力電流信号として出力する入力電流検出部6と、検出したDC電圧をデジタル値のDC電圧信号として出力するDC電圧検出部7と、平滑コンデンサ8と、図示しない負荷へ出力電圧を供給する正極出力端子9と負極出力端子10と、ブリッジダイオード11と、スイッチング素子であるIGBT12と、検出した交流電源電圧のゼロクロス点のタイミングをゼロクロス点信号として出力するゼロクロス点検出部13と、IGBT12をヒステリシス方式で制御する制御部(制御手段)20を備えている。

また、制御部20は、ヒステリシスコンパレータ23と、切替部22と、電流指令値作成部21と、可変限度値生成部24と、固定限度値生成部25と、実効値算出部26を備えている。

【0019】

入力端2はリアクタ4の一端に、また、リアクタ4の他端は整流器5の一方の入力端にそれぞれ接続され、入力端3は整流器5の他方の入力端に接続されている。一方、整流器5の正極出力端は正極出力端子9に接続され、整流器5の負極出力端は、入力電流検出部6の一端に接続され、入力電流検出部6の他端は負極出力端子10に、それぞれ接続されている。

【0020】

さらに、正極出力端子9と負極出力端子10の間には平滑コンデンサ8とDC電圧検出部7が接続され、入力端2と入力端3の間には交流電源のゼロクロス点を検出するゼロクロス点検出部13が接続されている。また、整流器5の一方の入力端にはブリッジダイオード11の一方の入力端が接続され、整流器5の他方の入力端にはブリッジダイオード11の他方の入力端が接続されている。さらに、ブリッジダイオード11の正極出力端はIGBT12のコレクタ端子に、ブリッジダイオード11の負極出力端はIGBT12のエミッタ端子に、また、ヒステリシスコンパレータ23の出力端はIGBT12の

6

ゲート端子にそれぞれ接続されている。そして、IGBT12がオンすることで交流電源をリアクタ4を介して短絡することができる。

【0021】

一方、入力電流信号が入力された実効値算出部26は、これを入力電流の実効値に変換して実効入力電流信号として、電流指令値作成部21と切替部22と可変限度値生成部24に出力する。入力電流の実効値は負荷の大きさを表しており、この入力電流の実効値が大きき場合は入力電流のピーク電流も大ききことを示している。なお、実効値算出部26は、入力電流の実効値を交流電源電圧の半周期毎に算出して出力する。

制御部20の電流指令値作成部21には、ゼロクロス点信号とDC電圧信号と実効入力電流信号が入力されており、交流電源電圧の半周期毎、つまり、ゼロクロス点を検出する毎に、制御部20により指示されたDC電圧の目標値と実際のDC電圧の差と、実効入力電流信号から交流電源電圧の半周期分の電流指令値を作成し、可変限度値生成部24と限度値生成部25へ出力する。なお、制御部20は負荷、例えば実効入力電流の大きさにより、高負荷モードと低負荷モードの2つのモードを切り替えて制御する。高負荷モードは実効入力電流が予め定められた切替閾値以上の場合に制御部20が実行するモードであり、低負荷モードは実効入力電流が切替閾値未満の場合に制御部20が実行するモードである。

【0022】

限度値生成部25は交流電源電圧の半周期毎に入力される電流指令値に基づいて、IGBT12をオフする入力電流の第1上限値と、IGBT12をオンする入力電流の第1下限値をそれぞれ作成して切替部22へ出力するが、第1上限値と第1下限値の差である第1上下限値差は実効入力電流に関わらずに一定である。なお、第1上限値は電流指令値よりも大きく、第1下限値は電流指令値よりも小さい。

一方、可変限度値生成部24は交流電源電圧の半周期毎に入力される電流指令値に基づいて、電流指令値よりも大きい第2上限値と電流指令値よりも小さい第2下限値をそれぞれ作成して内部に記憶すると共に切替部22へ出力する。

また、可変限度値生成部24は実効入力電流を監視しており、交流電源電圧の半周期毎に更新される実効入力電流を記憶している。そして、可変限度値生成部24は半周期前の実効入力電流と今回入力された実効入力電流を比較し、実効入力電流が直前の値(半周期前の値)よりも小さくなる方向に変化した時、内部に記憶していた第2上限値を増加させ第2下限値を減少させると共に変更した第2上限値と第2下限値を切替部22へ出力する。つまり、可変限度値生成部24は、実効入力電流が直前の値よりも小さい方に変化した時は第2上限値と第2下限値の差である第2上下限値差が直前の値よりも大きく

7

なる第2上限値と第2下限値を、また、実効入力電流が直前の値よりも大きい方に変化した時は第2上下限値差が直前の値よりも小さくなる第2上限値と第2下限値をそれぞれ切替部22へ出力する。なお、第2上下限値差は第1上下限値差よりも大きな値である。

## 【0023】

切替部22は実効入力電流信号を監視しており、実効入力電流が切替閾値(4アンペア)以上なら、高負荷モードとして限度値生成部25から入力された第1上限値と第1下限値をヒステリシスコンパレータ23へ上限値と10 下限値として出力し、実効入力電流が切替閾値未満なら、低負荷モードとして可変限度値生成部24から入力された第2上限値と第2下限値を上限値と下限値としてヒステリシスコンパレータ23へ出力する。

## 【0024】

ヒステリシスコンパレータ23には入力電流信号が入力されており、入力電流値が上限値以上になったらスイッチング信号をローレベル(IGBT12をオフ)にし、入力電流値が下限値未満になったらスイッチング信号を10 ハイレベル(IGBT12をオン)にしてIGBT12のゲート端子へ出力する。

## 【0025】

図2は電源電圧の1/2周期における入力電流と時間の関係を説明する説明図である。

図2において細線の実線は交流電源電圧の波形を示している。また、図2(1)は実効入力電流が大きい場合、例えば4アンペア(切替閾値)以上の場合であり、図2(2)は実効入力電流が小さい場合、例えば4アンペア(切替閾値)未満の場合である。なお、図2において破線は時間経過対応して直線的に増加する上限値と下限値30 をそれぞれ示している。この上限値と下限値を示す破線は平行になっている。

制御部20は電源電圧の1/2周期における入力電流波形の前半でスイッチングを行い、入力電流波形の後半はスイッチングを行わずに成り行きで制御する。なお、ヒステリシスコンパレータ23は入力電流を監視し、切替部22が出力した上限値と下限値の間でIGBT12をオン・オフ制御している。

## 【0026】

電流指令値作成部21は負荷の大きさ、つまり実効入力40 電流の大きさに対応して交流電源電圧の半周期における最初のゼロクロス点からスイッチングを開始するまでの時間を決定する。電流指令値作成部21は最初のゼロクロス点から最初に出力する電流指令値の出力タイミングを決定する時に、半周期内において入力電流が流れ始めるタイミングと半周期の最初のゼロクロス点との間の時間と、入力電流が流れなくなるタイミングと半周期の次のゼロクロス点との間の時間とができるだけ等しくなるようにする。これにより力率を改善すると共に高調波電流を抑制している。

8

例えば図2(1)では実効入力電流が大きい場合、最初のゼロクロス点からスイッチングが開始されるまでの開始時間が、実効入力電流が小さい場合に比較して短く、一方、図2(2)に示すように、電流指令値作成部21は負荷が小さい、つまり実効入力電流が小さい時は最初のゼロクロス点からスイッチングが開始されるまでの開始時間が、実効入力電流が大きい場合に比較して長くなっている。このように図2(1)の場合も図2(2)の場合も入力電流波形は交流電源電圧のピーク点を基準とした時にほぼ中央に位置することになる。

## 【0027】

図5で説明した背景技術では実効入力電流の大きさに関わらず上下限値差は同じであった。一方、本発明による制御部20の可変限度値生成部24は前述したように実効入力電流を監視しており、実効入力電流が直前の値(交流電源電圧の半周期前の値)よりも小さくなる方向に変化した時、図2(2)に示す第2上下限値差を記憶していた直前の値よりも大きくする。つまり、可変限度値生成部24は内部に記憶していた第2上限値を増加させ第2下限値を減少させると共に変更した第2上限値と第2下限値を切替部22へ出力する。

## 【0028】

前述したように実効入力電流が小さくなるにつれて高調波電流は小さくなり、上下限値差が大きくなるにつれてスイッチングによる電流変化が大きくなるため高調波電流が大きくなる。このため、コンバータ1から出力される高調波電流が高調波電流規制を超えない範囲で上下限値差を大きくすることにより、高調波電流規制を満足しながらIGBT12のオン・オフ回数を減少させてスイッチング損失を低減させることができる。これは入力電流が上限値と下限値の間を往復する時間が長くなるためである。

## 【0029】

可変限度値生成部24は、この機能を実現する機能を有しており、図3に示すように入力された実効入力電流が0アンペアから4アンペア(切替閾値)未満の期間、つまり、低負荷モードにおいて、実効入力電流が直前の値よりも小さくなる方向に変化した時、第2上下限値差を直前の値よりも大きくする。一方、逆に実効入力電流が直前の値よりも大きくなる方向に変化した時、可変限度値生成部24は第2上下限値差を直前の値よりも小さくする。実効入力電流が切替閾値に達した時、可変限度値生成部24が出力する第2上限値と第2下限値の上下限値差は、限度値生成部25が出力する第1上限値と第1下限値の上下限値差とほぼ同じである。

限度値生成部25は、上下限値差が一定の第1上限値と第1下限値を出力する。切替部22は実効入力電流が4アンペア(切替閾値)以上の時、つまり、高負荷モードにおいて第1上限値と第1下限値を上限値と下限値として出力する。

50

## 【 0 0 3 0 】

なお、可変限度値生成部 2 4 が出力する第 2 上限値と第 2 下限値における第 2 上下限値差は予め実験的に求めておけばよい。具体的には、ある実効入力電流の値の場合に第 2 上下限値差を徐々に大きくしてコンバータ 1 から出力される高調波電流が高調波電流規制に到達する直前の第 2 上下限値差を求め、これを各実効入力電流の値毎に記録する。そして、各実効入力電流の値毎に記録した第 2 上下限値差に従って第 2 上限値と第 2 下限値をテーブル化しておけばよい。

## 【 0 0 3 1 】

また、切替閾値は必ずしも高調波電流規制だけの条件で決定しなくてもよい。例えば、高調波電流規制内であれば、スイッチング損失の低減を優先させ、負荷が軽い場合だけでなく、負荷が中程度の大きさまで可変限度値生成部 2 4 が生成する第 2 上限値と第 2 下限値を用いるようにしてもよい。

また、低負荷モードと高負荷モードの切り替えを無くし、切替部 2 2 が常に可変限度値生成部 2 4 を選択した状態にし、負荷が直前の値よりも小さくなる方向に変化した時、上限値と下限値の差である上下限値差を直前の値よりも大きくするようにしてもよい。

この時に使用する上限値と下限値を、前述したように予め実験的に求めてテーブル化しておくことで、高調波電流規制を守りつつ、スイッチングロスを低減させることができる。

一方、第 1 上下限値差と第 2 上下限値差をそれぞれ予め定めた固定値とし、切替部 2 2 が低負荷モードで第 2 上下限値差となる上限値と下限値に、また、高負荷モードで第 1 上下限値差となる上限値と下限値に、それぞれ切り替えるようにしてもよい。この方式は固定値の上限値と下限値を切り替えるだけなので非常に簡単な構成とすることができる。

## 【 0 0 3 2 】

以上説明したように、制御部 2 0 は負荷の大きさ、つまり実効入力電流が直前の値よりも小さい方向に変化したら上下限値差が直前の値よりも広がるような上限値と下限値を用いて I G B T 1 2 を制御する。このため、スイッチングを行うタイミングの間隔が広がり、これに従って I G B T 1 2 のオン・オフ回数が減少し、結果的にス

スイッチングロスを減少させることができる。

## 【 0 0 3 3 】

なお、本実施例ではリアクタ 4 を介して交流電源を短絡する回路を一次側の回路で行っているが、これに限るものでなく、二次側の回路で交流電源を短絡するようにしてもよい。また、本実施例では入力電流の検出を二次側の母線電流を用いているが、これに限るものでなく、例えば一次側のカレントトランスを用いて検出してもよい。さらに本実施例では、制御部をハードウェアとして説明しているが、これに限るものでなく、同等の機能をソフトウェアで実現してもよい。

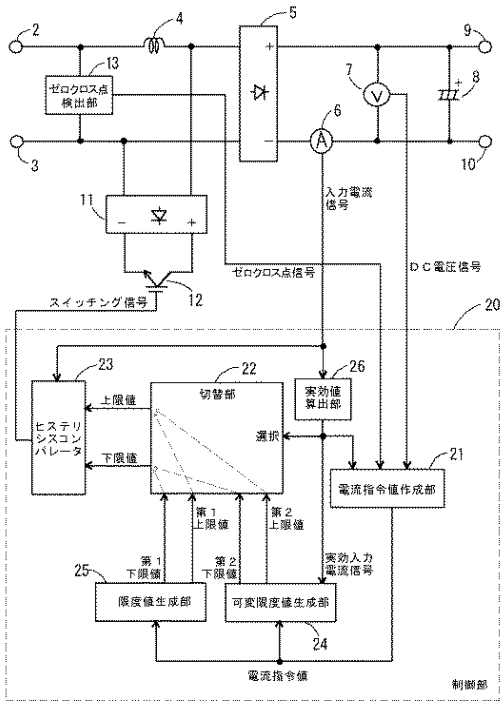
一方、本実施例では負荷の大きさを入力電流の実効値を用いて判断しているが、これに限るものでなく、このコンバータ 1 から D C 電圧を供給する機器、例えばエアコンの圧縮機の回転数の情報を制御部 2 0 が読み込み、この回転数が大きいほど負荷が大きいと判断するようにしてもよい。

## 【符号の説明】

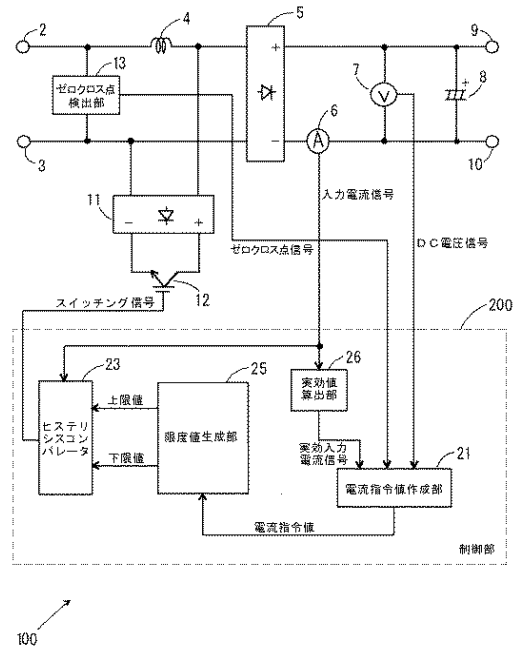
## 【 0 0 3 4 】

- 1 コンバータ ( 直流電源装置 )
- 2 入力端
- 3 入力端
- 4 リアクタ
- 5 整流器
- 6 入力電流検出部
- 7 D C 電圧検出部
- 8 平滑コンデンサ
- 9 正極出力端子
- 1 0 負極出力端子
- 1 1 ブリッジダイオード
- 1 2 I G B T
- 1 3 ゼロクロス点検出部
- 2 0 制御部 ( 制御手段 )
- 2 1 電流指令値作成部
- 2 2 切替部
- 2 3 ヒステリシスコンパレータ
- 2 4 可変限度値生成部
- 2 5 固定限度値生成部
- 2 6 実効値算出部

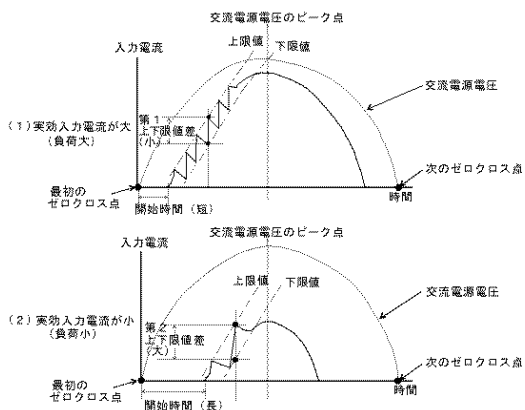
【 図 1 】



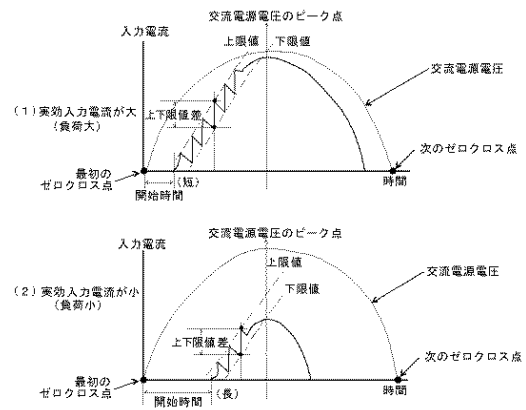
【 図 4 】



【 図 2 】



【 図 5 】



【 図 3 】

