

【分類】ソフトウェア処理

【公報番号】特開平 8-262073	【出願日】1995/3/27
【出願人】九州変圧器株式会社、九州電力株式会社	
【コメント】検出範囲の広い電流センサにおいて、位相補正を行わないことにより誤差を小さくしています。	

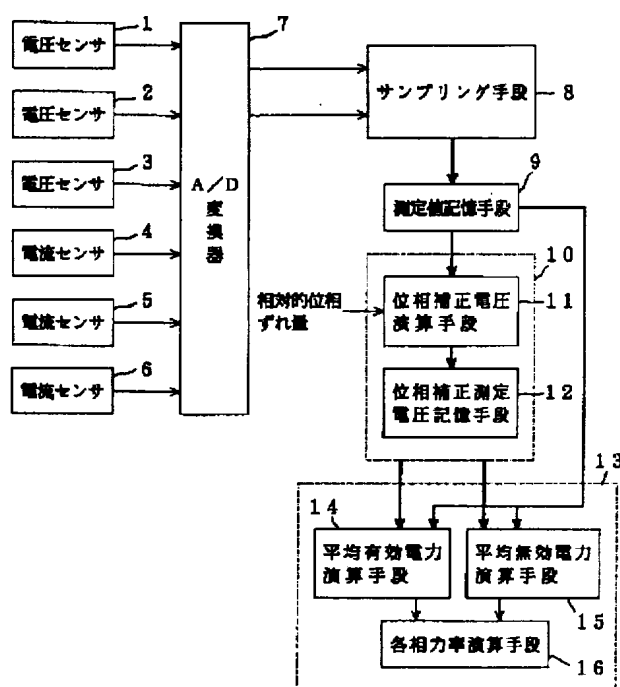
【作用】

図 2 (A) において、V 及び I は電圧センサ及び電流センサの入力と出力との間に位相ずれが発生しないと考えた場合の測定電圧及び測定電流をベクトルで示したものである。但し、この図では V と I との間に位相差がないものとして示してある。V ' 及び I ' は、電圧センサ及び電流センサの特性から入力と出力との間に位相ずれが発生した場合の測定電圧及び測定電流をベクトルで示したものである。電圧センサの位相ずれ (位相進み量) は θ_1 であり、電流センサの位相ずれ (位相遅れ量) は θ_2 である。これらの位相ずれは、電圧センサ及び電流センサの特性に基づくもので、基本的には変化しないものと考えられる。本発明においては、電流センサの出力の位相ずれは補正しないため、電流センサの測定電流 I ' はそのまま利用する。そこで電流センサの出力の位相ずれを補正しない場合における電圧センサの出力 V ' の相対的位相ずれ量を求める。この相対的位相ずれ量が $\theta_1 - (-\theta_2)$ である。この相対的位相ずれ量も基本的には変化しない。そこで図 2 (B) に示すように、測定電圧 V ' を位相ずれ量 $\theta_1 + \theta_2$ だけ位相補正することにより、位相補正測定電圧 V を得る。このことは測定電圧 V ' を位相ずれ量 θ_1 だけ位相補正した後、更に位相ずれ量 θ_2

だけ位相補正した場合と同じ結果となる。そして測定電流 I ' と位相補正測定電圧 V とを用いて力率を演算する。本発明のように、値が小さくしかも変化幅が大きい測定電流を位相補正しなければ、測定電流の補正のために増幅器を用いる必要がなくなる上、補正演算が不要になる。そのため増幅器の温度特性の変化による誤差と補正演算において発生する誤差が、力率 $\cos \phi$ の演算に用いる電流値には含まれない。その結果、本発明によれば、力率の測定精度または演算精度を高めることができる。

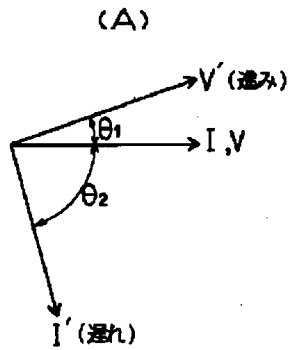
【発明の効果】

請求項 1 ~ 4 の発明によれば、小電流から大電流の広い範囲にわたって測定電流を位相補正しないで力率を求めるため、測定電流が小電流の場合にも増幅器を用いる必要がなくなる上、補正演算が不要になり、増幅器の温度特性の変化による誤差と補正演算において発生する誤差が、力率 $\cos \phi$ の演算に用いる電流値には含まれることがなくなる。その結果、力率の測定精度または演算精度を高めることができる。特に請求項 2 及び 4 の発明によれば、三相配電線の各相の力率の測定精度または演算精度を高めることができる。また請求項 5 の発明によれば、力率の演算を簡単に実行することができる。

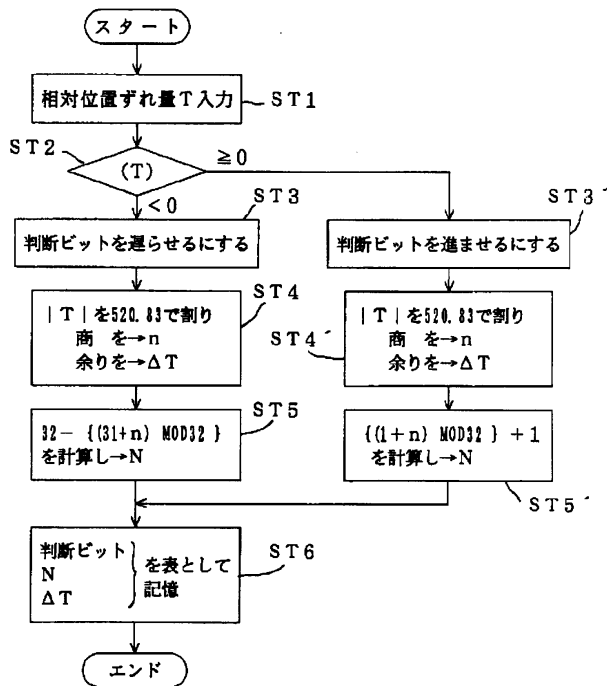
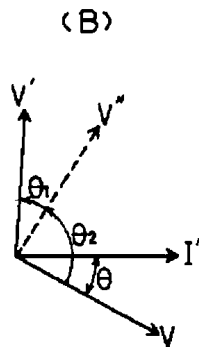


【図 1】三相配電線の電圧・電流・力率監視装置において力率を測定する場合に用いる本発明の力率測定装置の一実施例の概略構成を示すブロック図である。

【符号説明】 1 ~ 3 : 電圧センサ、 4 ~ 6 : 電流センサ、 7 : A / D 変換器、 8 : サンプルング手段、 9 : 測定値記憶手段、 10 : 位相補正手段、 11 : 位相補正電圧演算手段、 12 : 位相補正測定電圧記憶手段、 13 : 力率演算手段、 14 : 平均有効電力演算手段、 15 : 平均無効電力演算手段、 16 : 各相力率演算手段



【図2】(A)は1つの相に対して設けた電圧センサ及び電流センサの入力と出力との間に位相ずれが発生しないと考えた場合の測定電圧及び測定電流をベクトルで示したベクトル図であり、(B)は測定電圧を位相ずれ量だけ位相補正することにより位相補正測定電圧を得る場合の概念を説明するために用いるベクトル図である。



【図3】位相補正電圧演算手段をコンピュータを用いて実現する場合に用いるソフトウェアのアルゴリズムを示すフローチャートである。

【分類】ハードウェア演算

【公報番号】特開平 8-294271	【出願日】1995/12/28
【出願人】スペース システムズ/ローラル インコーポレイテッド	
【コメント】各昇圧回路の位相をずらして出力リップルを抑制しています。	

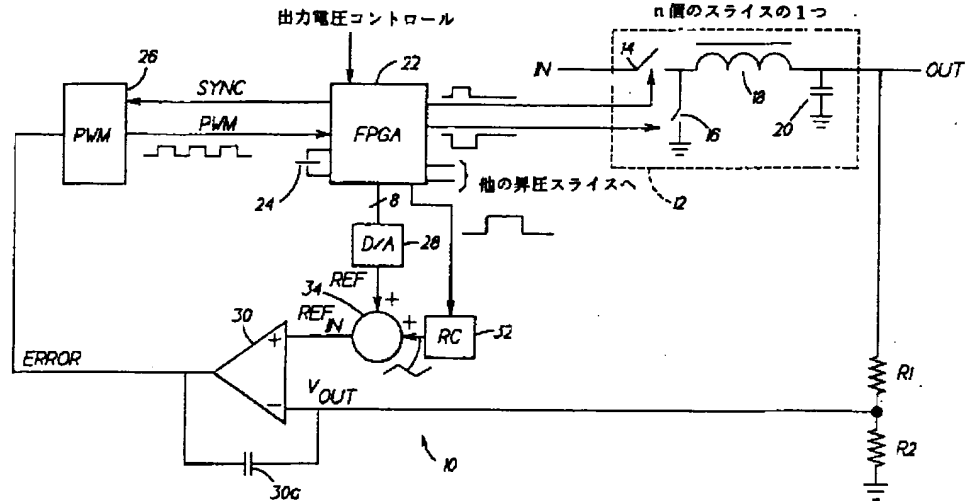
【作用】

本発明による方法は、閉制御ループにディザ（dither）信号を注入して、該ディザ信号がエラー信号中に現れるようにするステップも含んでいる。このディザ信号は、周波数帯域に対する第2周波数の比によって与えられる係数によって可能なデューティサイクルの数を有効に増加せしめるように作用する。本発明の実施例においては、ディザ信号の周波数は、第1周波数の1/4であり、周波数帯域より少なくとも1つのオーダーだけ高い。

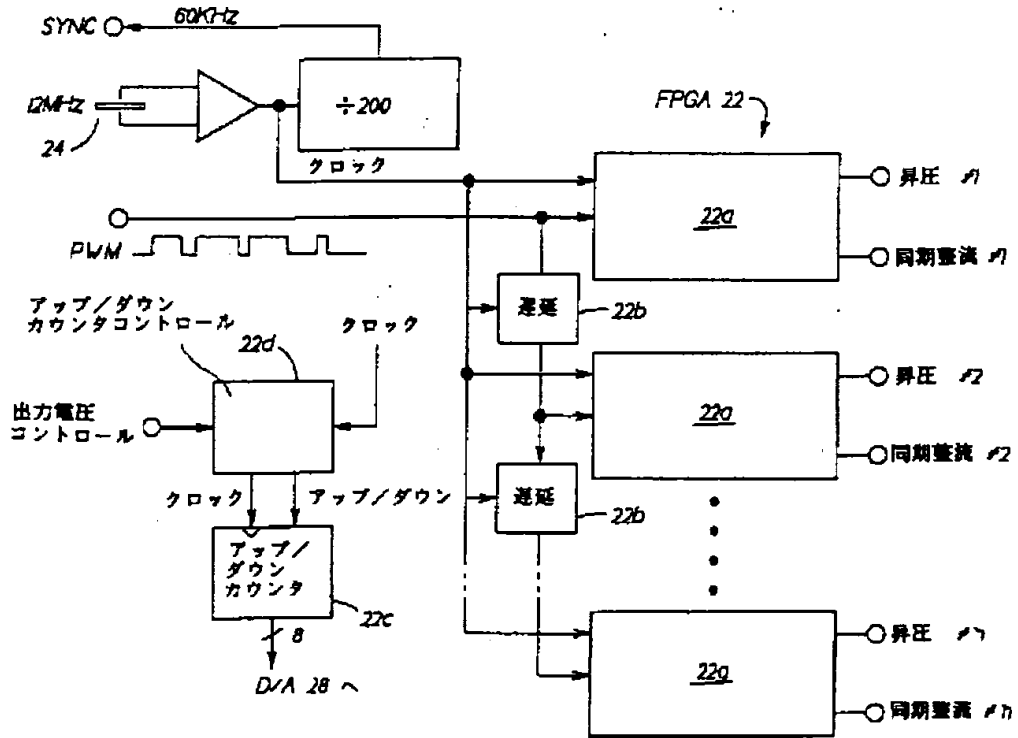
【発明の効果】

デジタル制御ループを有するパワーコンバータを実施する場合に必要とされる安定度には

従来のアナログタイプに加えて2つのタイプがある。これらの2つのタイプは、（a）ノイズ混入によるデジタル振動、及び（b）出力電圧の設定点と可能な（量子化）デューティサイクルとの間 mismatch による振動、である。この最初のタイプの安定性は、電力供給の動作点には無関係である一方、第2のタイプは、可能なデューティサイクルの数のみならず入力及び出力電圧に依存している。上記したような問題更には別な問題も出力電圧設定点と可能なデューティサイクルとの mismatch による振動に抗する本発明のコンバータの安定化方法及び回路によって克服出来るのである。



【図1】デジタル制御ループを有するマルチスライスパワーコンバータのブロック図。



【図2】図1のFPGA回路のブロック図。

【分類】検出方法

【公報番号】特開平 8-271012	【出願日】1995/3/30
【出願人】三菱電機株式会社	
【コメント】入力電源電圧をサンプリングするだけで多くの特性を検知しています。	

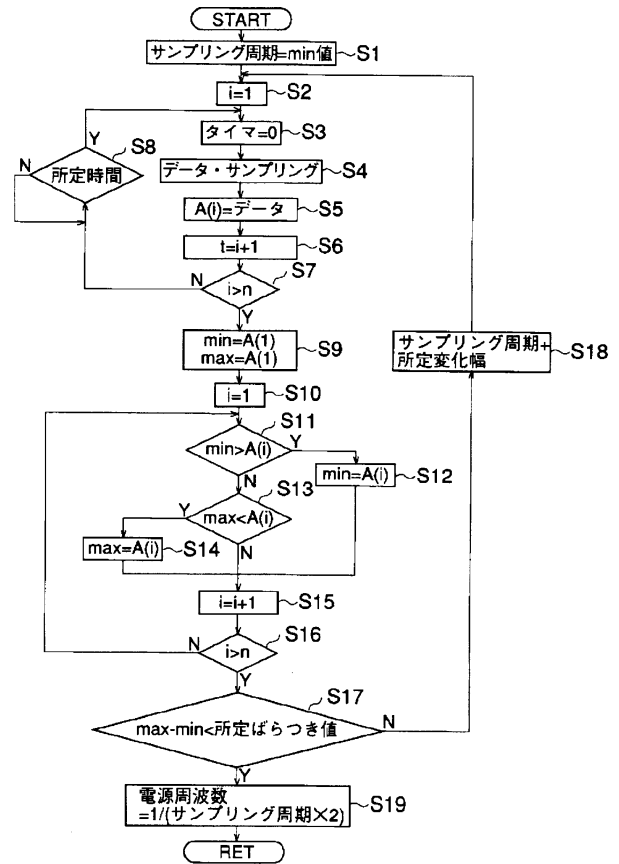
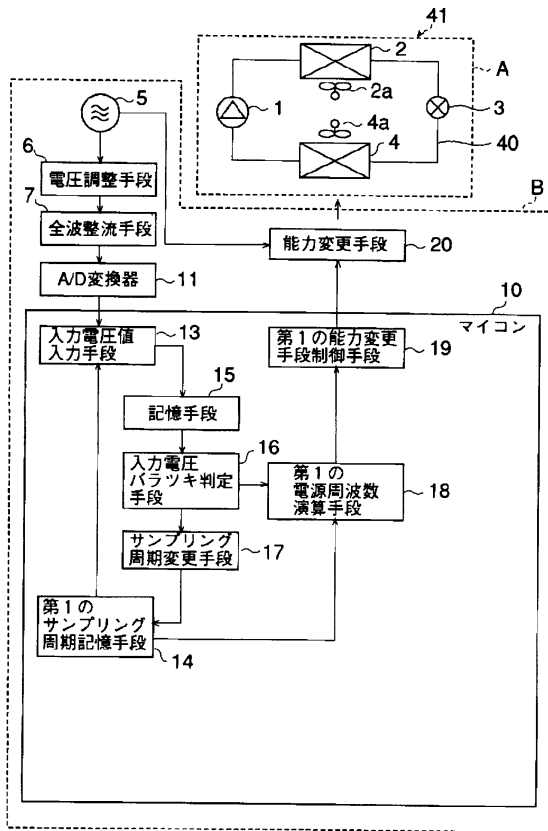
【作用】

この発明においては、入力電源電圧の周期性に着目して、同等の入力電圧値が得られるようなサンプリング周期を推定し、推定した電源周波数に相当するサンプリング周期で、A/D変換器からの入力電圧値を取込み、ほぼ同等の値を検出すれば推定が正しいということを判定条件として電源周波数の検知を行う。また、入力電源電圧の全波整流波形の周期性に着目し、想定できる電源周波数に対して十分に早いサンプリング周期で、A/D変換器からの入力電圧値を順次取込むことで入力電圧値の推移を追い、入力電圧値の極小点を捕捉することで電源電圧ゼロクロスを検知し、また、極小点が発生する周期から電源周波数を検知する。また、入力電源電圧の全波整流波形の周期性に着目し、想定できる電源周波数に対して十分に早いサンプリング周期で、A/D変換器からの入力電圧値を順次取込むことで入力電圧値の推移を追い、入力電圧値の極小点を捕捉することで電源電圧ゼロクロスを検知し、以降は別途知り得た電源周波数をもとにその極小点から次の電源電圧ゼロクロスを順次推定していく。また、想定できる電源周波数に対して十分に早いサンプリング周期で、A/D変換器からの入力電圧値を順次取込み、これらの入力電圧値の最大値を検出することで、電源電圧の実効値を検知する。また、入力電源電圧の全波整流波形の波高値の標準的な推移に着目し、想定できる電源周波数に対して十分に早いサンプリング周期で、A/D変換器からの入力電圧値を取込み、その値が所定値より低く続く期間(カウント数対応)を電源停止期間とみなし、その期間が所定期間(所定カウント値対応)を超えた場合に瞬時停電と判定する。また、入力電源電圧の全波整流波形の周期性に着目し、別途知り得た電源周波数をもとに、この電源周波数の1周期相当期間において入力電圧値を繰返し取込み、前回の同等位相での入力電圧値との比較により、大幅に差がないかどうかで電源電圧の歪みを検知する。また、入力電源電圧の全波整流波形の連続性に着目し、想定できる電源周波数に対して十分に早いサンプリング周期で、A/D変換器からの入力電圧値を取込み、その値が前回サンプリング時の取込み値と大幅に変化していないかをみて、電源電圧の歪みを検知する。

【発明の効果】

この発明によれば、入力電圧の周期性に着目し、同等の入力電圧値が得られるようなサンプリング周期を求めるようにしたことにより、ゼロクロス割込み信号を生成させる回路や割込み用入力ポート等のハードウェア構成を用いることなく、電源周波数を検

知することができ、この電源周波数に応じて空気調和装置の能力制御を行うことができる。また、入力電圧の全波整流波形の周期性に着目し、高速な入力電圧値の取込みで、所定値以下となる入力電圧値の極小点(電源電圧ゼロクロスタイミングに相当)を把握するようにしたことにより、ゼロクロス割込み信号を生成させる回路や割込み用入力ポート等のハードウェア構成を用いることなく、電源周波数および電源電圧ゼロクロスを検知することができ、これらの電源周波数および電源電圧ゼロクロスに応じて空気調和装置の能力制御を行うことができる。また、入力電圧の全波整流波形の周期性に着目し、高速な入力電圧値の取込みで、所定値以下となる入力電圧値の極小点(電源電圧ゼロクロスタイミングに相当)を1度、または定期的に見つけるだけで以降の極小点を演算で求めるようにしたことにより、ゼロクロス割込み信号を生成させる回路や割込み用入力ポート等のハードウェア構成を用いることなく、電源電圧ゼロクロスを検知することができ、この電源電圧ゼロクロスに応じて空気調和装置の能力制御を行うことができる。また、高速な入力電圧値の取込みで、入力電圧値の最大値(電圧ピーク値に相当)を検知するようにしたことにより、ハードウェアとしての入力電源電圧のピーク値保持回路等を用いることなく、電源電圧値を検知することができ、この電源電圧値に応じて空気調和装置の能力制御を行うことができる。また、入力電圧の全波整流波形の波高値の標準的な推移に着目し、高速な入力電圧値の取込みで、この入力電圧値が一定以下で連続する場合に異常と判定するようにしたことにより、ゼロクロス割込み信号を生成させる回路や割込み用入力ポート等のハードウェア構成を用いることなく、電源電圧の瞬時状態を検知することができ、このように検知された瞬時停電に応じて空気調和装置の安定な運転・停止制御を行うことができる。また、入力電圧の全波整流波形の周期性に着目し、電源電圧の電源周波数の1周期相当期間において入力電圧値を繰返し取込むことで、これと前回の同等位相の入力電圧値との誤差から電源電圧の歪み状態を検知することができ、空気調和装置内に組み込まれている各種モータ等の異常振動および騒音に対し事前にユーザ苦情発生等の可能性を検知することができる。また、入力電圧の全波整流波形の連続性に着目し、高速な入力電圧値の取込みで、これと前回取込み値との誤差から電源電圧の歪み状態を検知することができ、空気調和装置内に組み込まれている各種モータ等の異常振動および騒音に対し事前にユーザ苦情発生等の可能性を検知することができるのである。



【図1】この発明による実施例1の空気調和装置の制御装置の構成図である。

【図2】この発明による実施例1の制御フローチャートである。

【符号説明】 1：圧縮機、 2：凝縮器、 2a：凝縮器用送風機、 3：絞り装置、 4：蒸発器、 4a：蒸発器用送風機、 7：全波整流手段、 10：マイクロコンピュータ、 11：A/D変換器、 13：入力電圧値入力手段、 14：第1のサンプリング周期記憶手段、 14a：第2のサンプリング周期、 14b：第3のサンプリング周期記憶手段、 15：記憶手段、 16：入力電圧バラツキ判定手段、 17：サンプリング周期変更手段、 18：第1の電源周波数演算手段、 19：第1の能力変更手段制御手段、 20：能力変更手段、 21：極小点判定手段、 22：極小周期カウン手段、 23：第2の電源周波数演算手段、 24：第2の能力変更手段制御手段、 25：電源周波数記憶手段、 26：極小点演算判定手段、 27：第3の能力変更手段制御手段、 28：最大値判定手段、 29：最大値記憶手段、 30：第4の能力変更手段制御手段、 31：電圧低下判定手段、 32：電圧低下カウン手段、 33：瞬停判定手段、 34：第5の能力変更手段制御手段、 35：サンプリング周期決定手段、 36：第1の電源歪み判定手段、 37：第6の能力変更手段制御手段、 38：第2の電源歪み判定手段、 39：第7の能力変更手段制御手段、 40：冷媒配、 41：冷媒回路

【分類】記憶機能

【公報番号】特開平 9-19137	【出願日】1995/6/29
【出願人】富士通株式会社	
【コメント】駆動信号パターンをROMに格納しています。	

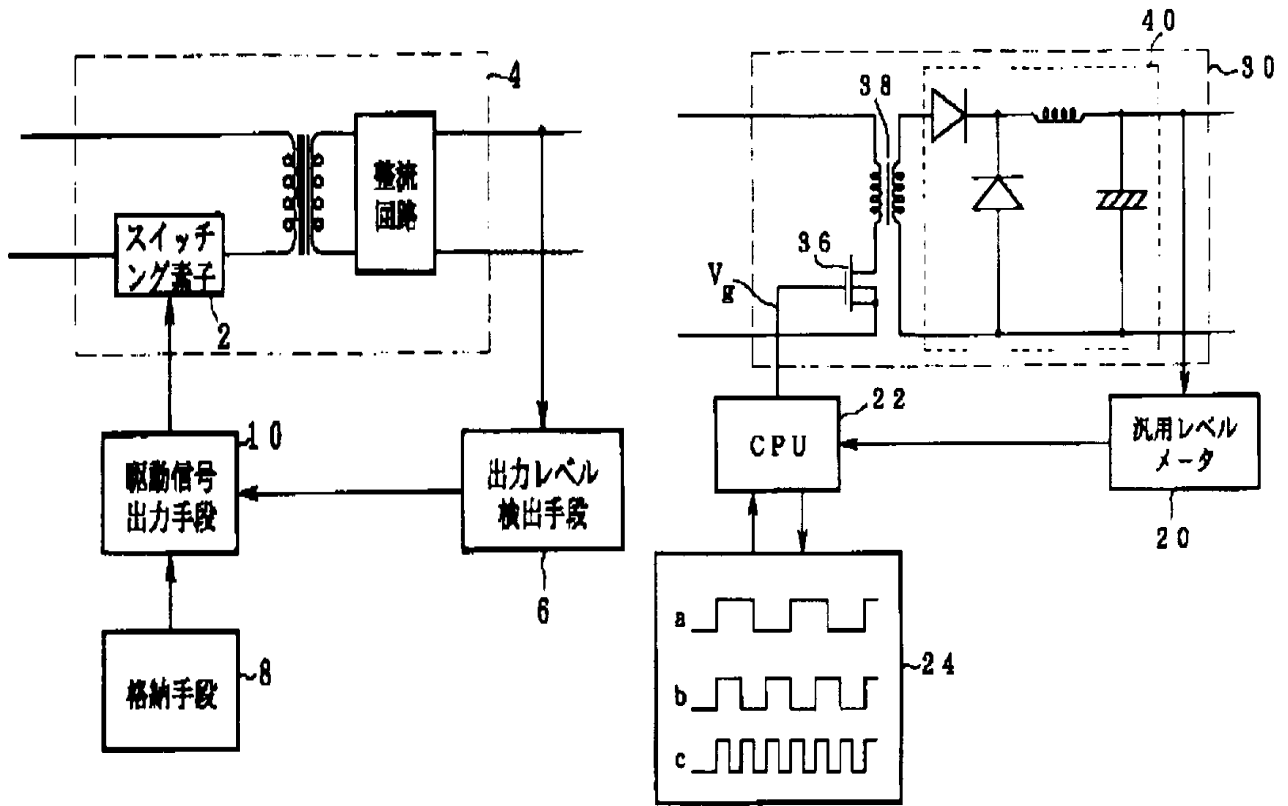
【作用】

請求項1記載の発明によれば、出力レベル検出手段6は、直流-直流変換部4から出力される直流電圧出力レベルをデジタル値として出力する。このデジタル直流電圧出力レベル値が入る範囲に应答する駆動信号出力手段10は、格納手段8からデジタル駆動情報を読み出し、アナログ駆動信号に変換してスイッチング素子2へ供給して該スイッチング素子の通電制御を行う。このようなスイッチング素子2の通電制御は、デジタル制御となっているから、直流-直流変換のスイッチング制御を汎用のデジタル回路で構成することができる。従って、信頼性の高いスイッチング制御回路を安価に構成し得る。又、デジタル駆動情報をデジタル的に格納し得る構成なので、デジタル駆動情報を容易に変更できる。そのような変更の際して、部品の変更を必要としないから、この点からも、スイッチングレギュレータのコスト低減に役立つ。請求項2記載の発明は、請求項1記載のスイッチングレギュレータにおいてデジタル駆動情報を波形情報としたものである。その動作は、請求項1記載の発明とほぼ同じであり、その効果もほぼ同等である。請求項3記載の発明は、請求項1記載のスイッチングレギュレータにおいてデジタル駆動情報をアナログ駆動信号のデューティの高レベル期間としたものである。その動作は、請求項1記載の発明とほぼ同じであり、その効果もほぼ同等である。請求項4記載の発明は、請求項1記載のスイッチングレギュレータにおいてデジタル駆動情報をアナログ駆動信号のデューティの低レベル期間としたものである。その動作は、請求項1記載の発明とほぼ同じであり、その効果もほぼ同等である。請求項

5記載の発明は、請求項1又は請求項2記載のスイッチングレギュレータにおいて駆動信号出力手段から出力されたアナログ駆動信号を増幅素子を経てスイッチング素子2へ供給するようにしたものである。増幅された分だけ直流-直流変換される電気エネルギーを大きくすることができる。請求項6記載の発明は、請求項3記載のスイッチングレギュレータにおいて駆動信号出力手段から出力されたアナログ駆動信号を増幅素子を経てスイッチング素子2へ供給するようにしたものである。増幅された分だけ直流-直流変換される電気エネルギーを大きくすることができる。請求項7記載の発明は、請求項4記載のスイッチングレギュレータにおいて駆動信号出力手段から出力されたアナログ駆動信号を増幅素子を経てスイッチング素子2へ供給するようにしたものである。増幅された分だけ直流-直流変換される電気エネルギーを大きくすることができる。

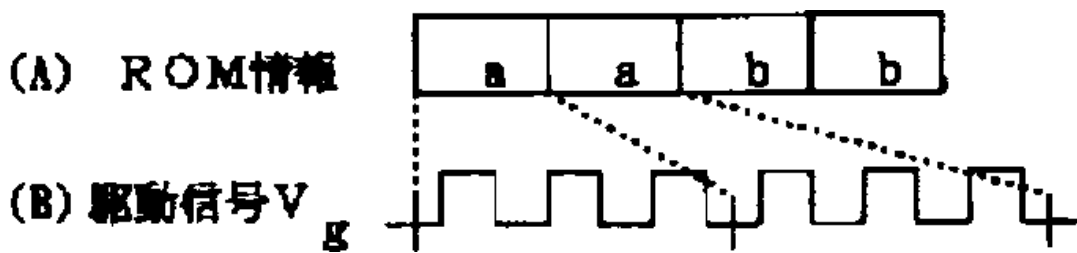
【発明の効果】

本発明によれば、直流電圧出力レベルをデジタル値として得、デジタル直流電圧出力レベル値でデジタル駆動情報を読み出し、デジタル駆動情報をアナログ駆動信号に変換してアナログ駆動信号でスイッチング素子を制御する構成にしたので、直流-直流変換のスイッチング制御を汎用のデジタル回路で構成することができる。従って、信頼性の高いスイッチング制御回路を安価に構成し得る。又、デジタル駆動情報をデジタル的に格納し得る構成なので、動作電圧、各種制御情報を容易に変更できる。そのような変更の際して、部品の変更を必要としないから、この点からも、スイッチングレギュレータのコスト低減に役立つ。



【図1】請求項1乃至請求項7記載の発明の原理ブロック図である。

【図2】請求項1、又は請求項2記載の発明の一実施例を示す図である。



【図3】図2に示す実施例で用いるROM情報及びアナログ駆動信号を示す図である。

【符号説明】 2：スイッチング素子、4：直流-直流変換部、6：出力レベル検出手段、8：格納手段、10：駆動信号出力手段、20：汎用レベルメータ、22：CPU、24：ROM、26：NPN型トランジスタ、28：ダーリントン接続のNPN型トランジスタ、29：NPN型トランジスタ、36：電界効果型トランジスタ

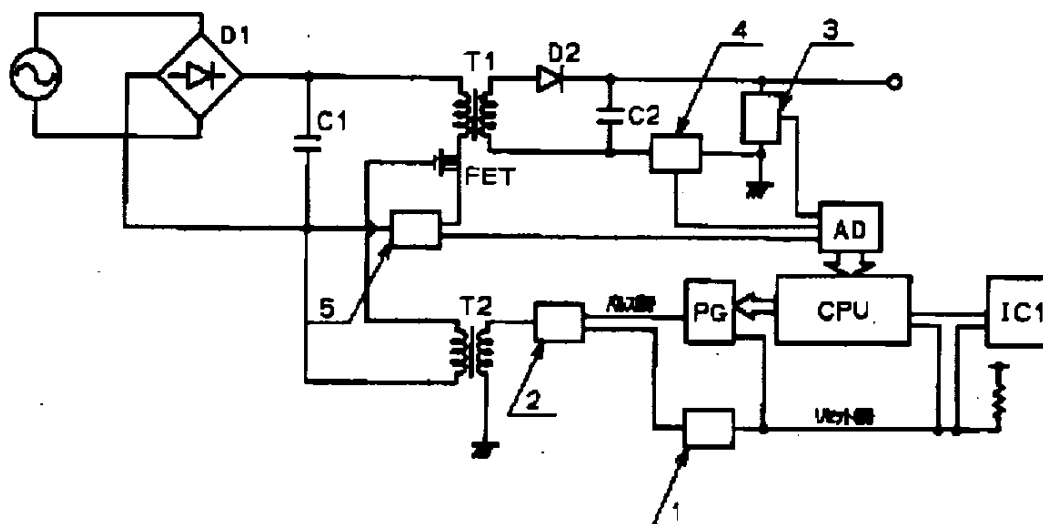
【分類】付加機能

【公報番号】特開平 8-275516	【出願日】1995/3/30
【出願人】株式会社リコー	
【コメント】CPUの故障・暴走時のハードウェア保護回路を設けています。	

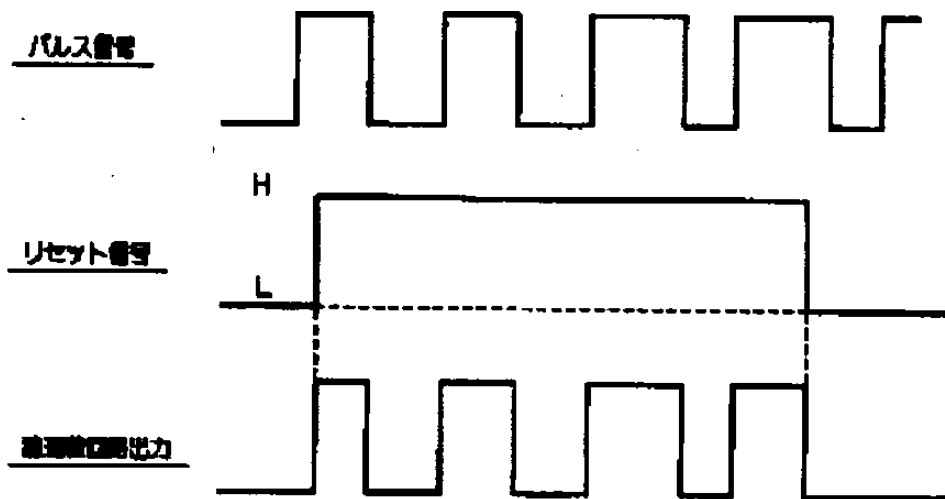
【作用】
CPUの故障、暴走が発生したような場合にも電源トランスを駆動するトランジスタに供給されるパルス信号を停止させることにより、電源の出力を停止することができる電源装置を提供することを目的とする。

本願発明によれば、パルス信号を制御するCPUが暴走した場合のみならず、ハード的に故障したような場合であってもパルス信号を停止させ、これをもって、電源装置の出力を停止されることができ、安全な電源装置を得ることができるものである。

【発明の効果】



【図1】デジタル制御ループを有するマルチスライスパワーコンバータのブロック図。



【図2】図1のFPGA回路のブロック図。

【符号説明】 1：ラッチ回路、 2：論理回路、 3：出力電圧検出回路、 4：出力電流検出回路、 5：入力電流検出回路